

#2  
1-4-W  
cd

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Satoshi ETO et al

Serial No.: 09/359,767

Filed: July 22, 1999



Group Art Unit: 2751

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE AND METHOD  
FOR EXECUTING SHIFT REDUNDANCY OPERATION

**RECEIVED**

OCT 15 1999

Group 2700

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents  
Washington, D. C. 20231

October 14, 1999

Sir:

The benefit of the earliest filing date of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 10-208440  
filed: July 23, 1998

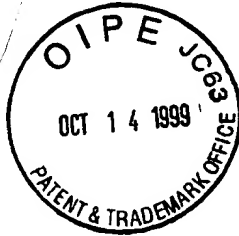
Japanese Patent Appln. No. 10-318164  
filed: November 9, 1998

Japanese Patent Appln. No. 11-171303  
filed: June 17, 1999

In support of this claim, the requisite certified copy of each of said original foreign applications is filed herewith.

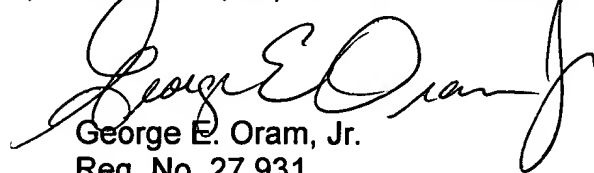
It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 14-1060.



Respectfully submitted,

NIKAIDO, MARMELSTEIN, MURRAY & ORAM LLP

  
George E. Oram, Jr.  
Reg. No. 27,931

Atty. Docket No.: P21-9026

Metropolitan Square  
655 15th Street, N. W.  
Suite 330 - G Street Lobby  
Washington, D. C. 20005-5701  
Tel: (202) 638-5000  
Fax: (202) 638-4810

GEO:mmg

Enclosures: Priority Documents (3)

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
this Office.

願 年 月 日  
Date of Application:

1998年 7月23日

願 番 号  
Application Number:

平成10年特許願第208440号

願 人  
Applicant(s):

富士通株式会社

RECEIVED

OCT 15 1999

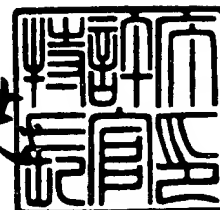
Group 2700

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1998年12月11日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平10-3098877

【書類名】 特許願

【整理番号】 9802640

【提出日】 平成10年 7月23日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G11C 29/00  
G11C 8/00 311

【発明の名称】 半導体記憶装置およびシフト冗長方法

【請求項の数】 41

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 江渡 聡

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 松宮 正人

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 池田 稔美

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 石井 祐樹

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100077517



【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100088269

【弁理士】

【氏名又は名称】 戸田 利雄

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709215

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびシフト冗長方法

【特許請求の範囲】

【請求項 1】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するためのスイッチ回路とを備え、

前記複数の選択線内に欠陥が発生した場合に、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を前記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うことを特徴とする半導体記憶装置。

【請求項 2】 前記複数の選択線内の 2 本の選択線に欠陥が発生した場合に、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 3】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の 2 本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも 1 本を左方向にシフトさせて前記第 1 の切替動作を行うと共に、前記デコード信号線の少なくとも 1 本を右方向にシフトさせて前記第 2 の切替動作を行うように構成される請求項 2 記載の半導体記憶装置。

【請求項 4】 前記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、前記第 1 の切替動作または前記第 2 の切替動作のいずれか一方の切替動作を行うように構成される請求項 1 記載の半導体記憶装置。

【請求項 5】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の 1 本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも 1 本を左方向にシフトさせて前記第 1 の切替動作を行うか、また

は、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項4記載の半導体記憶装置。

【請求項6】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線および前記冗長選択線に対応して設けられる複数のヒューズを有し、前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備えることを特徴とする半導体記憶装置。

【請求項7】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記シフト冗長ヒューズ回路部が、該欠陥が発生した2本の欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長制御回路部が、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項6記載の半導体記憶装置。

【請求項8】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の2本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うと共に、

、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項7記載の半導体記憶装置。

【請求項9】 前記シフト冗長ヒューズ回路部からの出力結果が、前記欠陥選択線の各々に対応するヒューズ、および前記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力される請求項7記載の半導体記憶装置。

【請求項10】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNANDゲートと、該NANDゲートからのシフト制御信号を反転するインバータとを含む請求項7記載の半導体記憶装置。

【請求項11】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNORゲートと、該NORゲートからのシフト制御信号を反転するインバータとを含む請求項7記載の半導体記憶装置。

【請求項12】 前記スイッチ部内の複数のスイッチ素子の各々が、前記第1の冗長選択線の方角へのシフト動作を行うモード、前記第2の冗長選択線の方角へのシフト動作を行うモード、または該シフト動作を行わないモードを選択することが可能な3方向性のスイッチ素子である請求項7記載の半導体記憶装置。

【請求項13】 前記複数のスイッチ素子の各々が、前記デコード信号線と前記欠陥選択線との接続を行わない非選択のモードを選択することが可能な請求項12記載の半導体記憶装置。

【請求項14】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項7記載の半導体記憶装置。

【請求項15】 前記シフト冗長ヒューズ回路部が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を有し、前記冗長選択線に不良がないか否かを確認するように構成される請求項7記載の半導体記憶装置。

【請求項 16】 前記強制冗長用ヒューズ回路に接続される選択線が、前記冗長選択線の隣以外の場所に配置される請求項 15 記載の半導体記憶装置。

【請求項 17】 前記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、前記シフト冗長ヒューズ回路部が、該欠陥が発生した 1 本の欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長制御回路部が、前記第 1 の切替動作または前記第 2 の切替動作のいずれか一方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項 6 記載の半導体記憶装置。

【請求項 18】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の 1 本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも 1 本を左方向にシフトさせて前記第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を右方向にシフトさせて前記第 2 の切替動作を行うように構成される請求項 17 記載の半導体記憶装置。

【請求項 19】 前記シフト冗長ヒューズ回路部からの出力結果が、前記欠陥選択線に対応するヒューズ、および前記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力される請求項 17 記載の半導体記憶装置。

【請求項 20】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力する NAND ゲートと、該 NAND ゲートからのシフト制御信号を反転するインバータとを含む請求項 17 記載の半導体記憶装置。

【請求項 21】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力する NOR ゲートと、該 NOR ゲートからのシフト制御信号を反転するインバータとを含む請求項 17 記載の半導体記憶装置。

【請求項 22】 前記スイッチ部内の複数のスイッチ素子の各々が、前記冗長選択線の一方の方向へのシフト動作を行うモード、前記冗長選択線の他方の方向へのシフト動作を行うモード、または該シフト動作を行わないモードを選択することが可能な 3 方向性のスイッチ素子である請求項 17 記載の半導体記憶装置

【請求項 23】 前記複数のスイッチ素子の各々が、前記デコード信号線と前記欠陥選択線との接続を行わない非選択のモードを選択することが可能な請求項 22 記載の半導体記憶装置。

【請求項 24】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項 17 記載の半導体記憶装置。

【請求項 25】 前記シフト冗長ヒューズ回路部が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を有し、前記冗長選択線に不良がないか否かを確認するように構成される請求項 17 記載の半導体記憶装置。

【請求項 26】 前記強制冗長用ヒューズ回路に接続される選択線が、前記冗長選択線の隣以外の場所に配置される請求項 25 記載の半導体記憶装置。

【請求項 27】 前記複数のメモリセルのブロック内で、前記シフト冗長ヒューズ回路部の出力レベルを評価して少なくとも一つのヒューズが切断されているか否かを判定することにより、前記冗長選択線が使用されているか否かを検出する請求項 6 から 26 のいずれか一項に記載の半導体記憶装置。

【請求項 28】 前記複数のメモリセルの周期性と、前記選択線によって選択されるメモリセルブロックの周期性とが一致するようにデータの書き込みまたは読み出しを行う請求項 6 から 26 のいずれか一項に記載の半導体記憶装置。

【請求項 29】 半導体チップ内で、前記複数の選択線と前記複数のヒューズとが同一のピッチにてレイアウトが行われる請求項 6 から 26 のいずれか一項に記載の半導体記憶装置。

【請求項 30】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、

前記複数の選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、

前記ヒューズデコーダ回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備えることを特徴とする半導体記憶装置。

【請求項31】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記ヒューズデコーダ回路が、該欠陥が発生した2本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記シフト冗長制御回路部が、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項30記載の半導体記憶装置。

【請求項32】 前記ヒューズデコーダ回路による前記欠陥選択線の各々に対応するヒューズのアドレスの指定は、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる請求項31記載の半導体記憶装置。

【請求項33】 前記ヒューズデコーダ回路は、それぞれ異なる前記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコーダ部を有する請求項31記載の半導体記憶装置。

【請求項34】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記ヒューズデコーダ回路が、該欠陥が発生した1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記シフト冗長制御回路部が、前記第1の切替動作または前記第2の切替動作のいずれか一方

の切替動作を行うように、前記複数のスイッチ素子を制御する請求項 30 記載の半導体記憶装置。

【請求項 35】 前記ヒューズデコーダ回路による前記欠陥選択線に対応するヒューズのアドレスの指定は、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる請求項 34 記載の半導体記憶装置。

【請求項 36】 前記ヒューズデコーダ回路は、それぞれ異なる前記複数のヒューズの組み合わせにより生成される信号をデコードする 2 個のヒューズデコーダ部を有する請求項 34 記載の半導体記憶装置。

【請求項 37】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で一方の端に位置する選択線を少なくとも 1 本の第 1 の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも 1 本の第 2 の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、前記デコード信号線の少なくとも 1 本を前記第 1 の冗長選択線の方にシフトさせる第 1 の切替動作を行うか、または、前記デコード信号線の少なくとも 1 本を前記第 2 の冗長選択線の方にシフトさせる第 2 の切替動作を行うか、または、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項 38】 前記複数の選択線内の 2 本の選択線に欠陥が発生した場合に、前記第 1 の切替動作と前記第 2 の切替動作の双方の切替動作を行う請求項 37 記載のシフト冗長方法。

【請求項 39】 前記複数の選択線内の 1 本の選択線に欠陥が発生した場合に、前記第 1 の切替動作または前記第 2 の切替動作のいずれか一方の切替動作を行う請求項 37 記載のシフト冗長方法。

【請求項 40】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で一方の端に位置する選択線を



少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項41】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、

該ヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線の一部に欠陥が発生した場合に、冗長選択線を使用して欠陥を救済するためのシフト冗長機能を備えた半導体記憶装置およびシフト冗長方法に関する。近年のダイナミック・ランダム・アクセス・メモリ（DRAM）やフラッシュメモリ等のような大容量の半導体記憶装置においては、欠陥なく半導体チップを製造することは極めて困難である。半導体チップの製造後に、このような欠陥が発生していることが見い出された場合、この半導体チップは最悪廃棄しなければならない、チップ製造の歩留りが低下するおそれがある。このような事態を回避するために、半導体チップ内に予め設けられた冗長選択線等の冗長回路要素を利用することにより欠陥を救済する対策を講じることが不可欠になる。

## 【0002】

さらに、近年の大容量の半導体記憶装置に対しては、高速動作かつ低消費電力動作が要求されるようになっている。このため、上記のような冗長回路要素を利用した冗長方式においては、①冗長置き換え処理が速く、高速アクセスが実現されること、②低消費電力であること、および、③半導体チップ上の欠陥を効率良く救済できることが要求される。

## 【0003】

## 【従来の技術】

半導体チップ内の冗長回路要素を利用した冗長方式として、現在さまざまな方式が採用されているが、この中のシフト冗長方式は、アクセス速度が速い、消費電流（消費電力）が小さい等の特徴を有しており、近年の大容量の半導体記憶装置に対し有効な手段と考えられる。

## 【0004】

図50は、一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図である。

例えばDRAM等の半導体記憶装置においては、図50に示すように、マトクス状に配置された複数のメモリセル600に対し、外部から供給されるデコード

信号に基づいて動作する行デコーダ800と、列デコーダ700が設けられている。これらの行デコーダ800および列デコーダ700は、それぞれ、ロー選択線（行選択線）WLおよびカラム選択線（列選択線）CLに接続されており、上記デコード信号のアドレス信号Add（A0～An）に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うために使用される。

#### 【0005】

一般の冗長方式においては、欠陥が発生したロー選択線またはカラム選択線（以下、特に断らない限り、単に選択線と称する）を、予め用意している欠陥救済用の冗長選択線に置き換えることによって冗長を実行する。

実際には、冗長判定回路840により、アドレス信号Addのアドレスが入力される毎に、入力されたアドレスと、予め検出され記憶されている欠陥選択線のアドレスとを比較し、入力されたアドレスが欠陥選択線のアドレスに一致するかどうか（一致／不一致）を判定している。また一方で、アドレス信号Addのアドレスは、冗長判定回路840を経由することなく、行レコーダ800に順次入力される。冗長判定回路840により、ある一つの入力アドレスが、欠陥選択線のアドレスに一致しないと判定された場合、行デコーダ800は、この判定結果を受けて上記入力アドレスに対応する選択線（ロー選択線）を選択する動作を行う。ある一つの入力アドレスが、欠陥選択線のアドレスに一致すると判定された場合、行デコーダ800は、上記入力アドレスに対応する選択線は選択せず冗長選択線を選択する動作を行う。このようにして、冗長判定回路840は、入力される全てのアドレスに対し、入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する。

#### 【0006】

さらに、冗長判定回路740により、アドレス信号Addのアドレスが入力される毎に、入力されたアドレスと、予め検出され記憶されている欠陥選択線のアドレスとを比較し、入力されたアドレスが欠陥選択線のアドレスに一致するかどうか（一致／不一致）を判定している。また一方で、アドレス信号Addのアドレスは、冗長判定回路740を経由することなく、列レコーダ700に順次入力さ

れる。冗長判定回路 740 により、ある一つの入力アドレスが、欠陥選択線のアドレスに一致しないと判定された場合、列デコーダ 700 は、この判定結果を受けて上記入力アドレスに対応する選択線（カラム選択線）を選択する動作を行う。ある一つの入力アドレスが、欠陥選択線のアドレスに一致すると判定された場合、列レコーダ 700 は、上記入力アドレスに対応する選択線は選択せず冗長選択線を選択する動作を行う。このようにして、冗長判定回路 740 は、入力される全てのアドレスに対し、入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する。

## 【0007】

ここで、カラム選択線 CL（選択線  $s_0 \sim s_n$ 、冗長選択線  $s_{j0}$ ）に欠陥が発生した場合の図 50 の動作をより詳しく説明する。冗長判定回路 740 から出力される冗長イネーブル（活性化）信号 JEN が “L (Low)” レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが不一致になっていると判定された場合）、列デコーダ 700 は、アドレス信号 Add の入力アドレスを通常どおりデコードし、選択線  $s_0 \sim s_n$  の中から目的の選択線を選択する。また一方で、冗長判定回路 740 から出力される冗長イネーブル信号 JEN が “H (High)” レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが一致すると判定された場合）、列デコーダ 700 は、入力アドレスから選択されるべき選択線を非選択状態にして冗長選択線  $s_{j0}$  を選択する。

## 【0008】

また一方で、ロー選択線 WL に欠陥が発生した場合の図 50 の動作をより詳しく説明する。冗長判定回路 840 から出力される冗長イネーブル（活性化）信号 JEN が “L” レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが不一致になっていると判定された場合）、行レコーダ 800 は、アドレス信号 Add の入力アドレスを通常どおりデコードし、複数の選択線の中から目的の選択線を選択する。また一方で、冗長判定回路 840 から出力される冗長イネーブル信号 JEN が “H” レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが一致すると判定された場合）、行デコーダ 800 は、入力アドレスから選択されるべき選択線を非選択状態にして冗長選択線を選択する。

## 【0009】

前述したように、アドレス信号  $A d d$  は、冗長判定回路 740（または冗長判定回路 840）の冗長判定動作に関係なく列レコーダ 700（または行レコーダ 800）に順次入力される。それゆえに、冗長判定回路 740（または 840）による判定結果として出力される冗長イネーブル信号  $J E N$  は、アドレス信号  $A d d$  が列レコーダ 700（または行レコーダ 800）に入力されるタイミングよりも遅れて列レコーダ 700（または行レコーダ 800）に入力されることになる（ただし、図 50 のディレイ回路 720、820 がない場合）。ここで、アドレス信号  $A d d$  が列レコーダ 700（または行レコーダ 800）に入力される経路を時間的に遅らせない場合、本来冗長されるべき選択線（すなわち、非選択状態にすべき選択線）が、ある一時期選択されてしまうことになる。このような事態を回避するために、アドレス信号  $A d d$  が列デコーダ 700 に供給される経路にディレイ回路 720 を設ける方法（または、アドレス信号  $A d d$  が行デコーダ 800 に供給される経路にディレイ回路 820 を設ける方法）、またはこれに準じた方法により、冗長判定回路 740（または冗長判定回路 840）の冗長判定結果を待ってからアドレス信号をデコードする必要がある。このディレイ回路による遅延時間のために、データの書き込みまたは読み出しの際のアクセス時間が余計にかかり、高速アクセスが困難になる。さらに、アドレス信号  $A d d$  が入力される毎に、冗長判定回路 740（または冗長判定回路 840）を動作させることが必要であり、このために消費電流（消費電力）が増大する。

## 【0010】

これに対し、従来のシフト冗長機能を備えたシフト冗長方式においては、上記のような欠陥選択線を冗長選択線に直接置き換える方式とは異なり、複数のスイッチ素子を動作させて欠陥選択線より上位（または下位）の選択線のアドレスを 1 ビット下位（または上位）にシフトさせるようにしている。このようなシフト冗長方式では、複数のスイッチ素子により、列デコーダ 700（または行デコーダ 800）から出力されるデコード信号とカラム選択線  $C L$ （またはロー選択線）との接続関係が一度決定されれば、2 度と変わることはない。したがって、アドレス信号  $A d d$  のアドレスが入力される毎に、冗長判定回路を動作させて入力

アドレスと欠陥選択線のアドレスとの一致／不一致を判定する必要がなくなる。  
この結果、従来のシフト冗長方式を利用した半導体装置においては、アクセス速度が比較的速くなり、消費電流が小さくなる。

#### 【0011】

##### 【発明が解決しようとする課題】

しかしながら、従来のシフト冗長方式では、1ビット分、すなわち、1本の選択線の分しかデコード信号線をシフトさせる（すなわち、1ビットのシフト冗長を行う）ことしかできないので、選択線同士のショート等に起因する2本以上の欠陥選択線が存在した場合、このような欠陥選択線を救済することが不可能であった。

#### 【0012】

それゆえに、従来のシフト冗長方式を使用した場合でも、半導体チップ上の欠陥を効率良く救済することができないので、チップ製造の歩留まりをそれほど高くすることができないといった問題が生じてきた。

本発明は上記問題点に鑑みてなされたものであり、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、このような欠陥選択線を救済することが可能なシフト冗長方式の半導体記憶装置およびシフト冗長方法を提供することを目的とするものである。

#### 【0013】

##### 【課題を解決するための手段】

上記問題点を解決するために、本発明の半導体記憶装置は、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置しており、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するためのスイッチ回路（後述の図1および図2のスイッチ部2にほぼ対応する）とを備えている。

#### 【0014】

このような構成において、上記複数の選択線内に欠陥が発生した場合に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。ここで、「デコード信号線をシフトさせる」とは、選択線とデコード信号線との接続の状態をシフトさせることを意味する。

## 【0015】

好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように構成される。

さらに、好ましくは、上記複数の選択線が左右方向に並んで配置されている場合、上記複数の選択線内の2本の選択線に欠陥が発生したときに、上記デコード信号線の少なくとも1本を左方向にシフトさせて上記第1の切替動作を行うと共に、上記デコード信号線の少なくとも1本を右方向にシフトさせて上記第2の切替動作を行うように構成される。すなわち、本発明の半導体記憶装置では、第1の冗長選択線の方、および第2の冗長選択線の方にデコード信号線をシフトさせることにより、2ビットのシフト冗長を行うように構成される。

## 【0016】

さらに、好ましくは、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように構成される。

さらに、好ましくは、上記複数の選択線が左右方向に並んで配置されている場合、上記複数の選択線内の1本の選択線に欠陥が発生したときに、上記デコード信号線の少なくとも1本を左方向にシフトさせて上記第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を右方向にシフトさせて上記第2の切替動作を行うように構成される。すなわち、本発明の半導体記憶装置では、第1の冗長選択線の方、または第2の冗長選択線のいずれかの方向にシフトさせることにより、従来の場合と同じように、1ビットのシフト冗長を行うことも

可能なように構成される。

【0017】

また一方で、本発明の半導体装置は、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備える。

【0018】

好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記シフト冗長ヒューズ回路部が、上記欠陥が発生した2本の欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長制御回路部が、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0019】

さらに、好ましくは、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記シフト冗長ヒューズ回路部が、上記欠陥が発生した1本の欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを



切断し、上記シフト冗長制御回路部が、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

#### 【0020】

さらに、図1～図4を参照しながら、本発明の半導体記憶装置の基本的な回路構成について述べることにする。

図1は、本発明の原理構成を示すブロック図、図2は、本発明の基本原理を説明するための模式図、図3は、本発明のシフト冗長回路の基本概念を示すブロック図、そして、図4は、図3の各部の信号レベルを示す図である。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表す。

図1に示すように、本発明の半導体記憶装置は、外部から供給されるアドレス信号  $A_{dd}$  をデコードするデコーダ回路5を有する。さらに、上記半導体記憶装置では、このデコーダ回路5から出力されるデコード信号  $S_{dec}$  のアドレスに基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線  $s_{10} \sim s_{1(n-1)}$  ( $n$  は2以上の任意の正の整数) を配置すると共に、上記複数の選択線に欠陥がない場合は、上記デコード信号  $S_{dec}$  が転送される複数のデコード信号線のいずれにも接続されない2本の冗長選択線  $s_{1j0}$ 、 $s_{1j1}$  を、上記複数の選択線の中で一方の端の位置、および他方の端の位置にそれぞれ配置している。

#### 【0021】

さらに、図1においては、上記複数のデコード信号線と、上記複数の選択線および冗長選択線との接続関係を制御するシフト冗長回路1を設けている。このシフト冗長回路1は、上記複数のデコード信号線を、上記複数の選択線および冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部2と、上記複数の選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部4とを備えている。ここで、シフト冗長ヒューズ回路部4から出力された信号は、シフト冗長制御回路部3に入力され

る。さらに、このシフト冗長制御回路部 3 から出力された信号は、スイッチ部 2 を制御するためのシフト制御信号として使用される。

#### 【0022】

さらに、図 1 のシフト冗長回路 1 は、上記シフト冗長ヒューズ回路部 4 からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中で一方の端（例えば、左端）に位置する第 1 の冗長選択線  $s1j0$  の方向に、1 本の選択線の分（すなわち、1 ビット分）だけ上記複数のデコード信号線をシフトさせたり、上記複数の選択線の中で他方の端（例えば、右端）に位置する第 2 の冗長選択線  $s1j1$  の方向に、1 本の選択線の分だけ上記複数のデコード信号線をシフトさせたりするように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部 3 を備えている。すなわち、図 1 の半導体記憶装置は、第 1 の冗長選択線の方、もしくは、第 2 の冗長選択線の方、またはその両方の方向にシフトさせることにより、1 ビットまたは 2 ビットのシフト冗長を行うように構成される。

#### 【0023】

好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部 4 からの出力結果が、上記欠陥選択線に対応するヒューズ、および上記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力されるようになっている。

さらに、好ましくは、上記シフト冗長制御回路部 4 は、上記シフト冗長ヒューズ回路部 4 からの出力結果を受けて、上記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力する NAND ゲート（否定論理積ゲート）と、この NAND ゲートからのシフト制御信号を反転するインバータとを含む。

#### 【0024】

さらに、好ましくは、上記シフト冗長制御回路部 4 は、上記シフト冗長ヒューズ回路部 4 からの出力結果を受けて、上記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力する NOR ゲート（否定論理和ゲート）と、この NOR ゲートからのシフト制御信号を反転するインバータとを含む。

さらに、好ましくは、本発明の半導体記憶装置では、上記スイッチ部 2 内の複

数のスイッチ素子の各々が、上記第1の冗長選択線  $s_{1j0}$  の方向へのシフト動作（すなわち、左方向シフト）を行うモード、上記第2の冗長選択線  $s_{2j0}$  の方向へのシフト動作（すなわち、右方向シフト）を行うモード、またはシフト動作を行わないモード（すなわち、シフトなし）を選択することが可能な3方向性のスイッチ素子である。

## 【0025】

さらに、好ましくは、上記複数のスイッチ素子の各々は、上記デコード信号線と上記欠陥選択線との接続を行わない非選択のモードを選択することが可能である。

さらに、好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する。

## 【0026】

さらに、好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を設け、上記冗長選択線に不良がないか否かを確認するように構成される。

さらに、好ましくは、本発明の半導体記憶装置では、上記強制冗長ヒューズ回路に接続される選択線が、上記冗長選択線の隣以外の場所に配置される。

## 【0027】

また一方で、本発明の半導体記憶装置におけるシフト冗長回路1は、上記複数のデコード信号線を、上記複数の選択線および冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部2と、上記複数の選択線および上記冗長選択線にそれぞれ対応して設けられる複数のヒューズを有し、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部4とを備えている。

## 【0028】

さらに、上記のシフト冗長回路 1 は、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中でいずれか一方の端に位置する冗長選択線の方向に、1 本の選択線の分だけ上記複数のデコード信号線をシフトさせるように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部 3 を備えている。すなわち、図 1 の半導体記憶装置は、第 1 の冗長選択線の方向、または第 2 の冗長選択線のいずれかの方向にシフトさせることにより、1 ビットのシフト冗長を行うこともできる。

## 【0029】

さらに、好ましくは、本発明の半導体記憶装置では、上記複数のメモリセルのブロック内で、上記シフト冗長ヒューズ回路部 4 の出力レベルを評価して少なくとも一つのヒューズが切断されているか否かを判定することにより、上記冗長選択線が使用されているか否かを検出するようにしている。

さらに、好ましくは、本発明の半導体記憶装置では、上記複数のメモリセルの周期性が変わらないように（すなわち、メモリセルのトポロジが変わらないように）するために、1 本の選択線により選択されるメモリセルブロックの周期性を上記メモリセルの周期性に一致させるようにしている。

## 【0030】

さらに、好ましくは、本発明の半導体記憶装置では、半導体チップ内で、上記複数の選択線と上記複数のヒューズとが同一のピッチにてレイアウトが行われるようになっている。

さらに、本発明の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置が、上記複数の選択線の中で、一方の端に位置する少なくとも 1 本の第 1 の冗長選択線、および他方の端に位置する少なくとも 1 本の第 2 の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線

に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコーダ回路と、上記ヒューズデコーダ回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備える。

## 【0031】

好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記ヒューズデコーダ回路が、上記欠陥が発生した2本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記シフト冗長制御回路部が、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

## 【0032】

さらに、本発明の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路による上記欠陥選択線の各々に対応するヒューズのアドレスの指定は、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる。

さらに、本発明の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路は、それぞれ異なる上記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコーダ部を有する。

## 【0033】

さらに、本発明の他の好ましい実施態様において、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記ヒューズデコーダ回路が、上記欠陥が発生した1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記シフト冗長制御回路部が、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

## 【0034】

さらに、本発明の他の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路による上記欠陥選択線に対応するヒューズのアドレスの指定は、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる。

さらに、本発明の他の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコーダ回路は、それぞれ異なる上記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコーダ部を有する。

【0035】

また一方で、本発明の第1のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0036】

好ましくは、本発明の第1のシフト冗長方法では、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

さらに、好ましくは、本発明の第1のシフト冗長方法では、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うようにしている。

【0037】

さらに、本発明の第2のシフト冗長方法においては、外部から供給されるアド

レス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

## 【0038】

さらに、本発明の第3のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、このヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

## 【0039】

つぎに、図2の模式図により、本発明の2ビットのシフト冗長動作の概略を説明する。図2において、 $c1j0$ および $c1j1$ は、シフト冗長動作時に使用される冗長選択用選択線（例えば、冗長選択用カラム選択線）を示し、 $c10 \sim c163$ は、通常動作時に使用される通常選択用の選択線（例えば、カラム選択線）を示す。これらの選択線は、スイッチ部2内の複数のスイッチ素子を介して半導体チップの外部より与えられるアドレス信号をデコードしたデコード信号線 $d0 \sim d63$ と接続している。シフト冗長処理前または選択線等に欠陥が存在しない場合、 $c10$ と $d0$ 、 $c11$ と $d1$ 、 $\dots$   $c162$ と $d62$ 、 $c163$ と $d63$ が接続されるように、スイッチ素子によって制御される。選択線 $c1\#$ とデコード信号線 $d\#$ （ $\# : 0 \sim 63$ ）が接続されるような場合をNS（Non-Shift : シフトなし）とよぶ。

#### 【0040】

図2の模式図は、2本の選択線 $c12$ 、 $c157$ に欠陥が存在し、かつ、これらの欠陥に対しシフト冗長を行う場合を説明するためのものである。デコード信号線 $d0$ 、 $d1$ および $d2$ は、冗長選択線 $c1j0$ 、選択線 $c10$ 、および選択線 $c11$ にそれぞれ接続される（SL（Shift Left）：左方向シフト）。選択線 $c12$ 、 $c157$ は、どのデコード信号線にも接続されず、常に非選択状態となる。選択線 $c13 \sim c156$ は、NSの状態になっており、選択線、 $c158 \sim c163$ 、および冗長選択線 $c1j1$ は、デコード信号線 $d57 \sim d63$ にそれぞれ接続される（SR（Shift Right）：右方向シフト）。

#### 【0041】

さらに、図3および図4により、2ビットのシフト冗長機能を備えた本発明のシフト冗長用スイッチ回路の基本概念を説明する。図3において、 $fj0$ 、 $fj1$ 、および $f0 \sim f63$ はシフト冗長ヒューズ回路部4内の各々のヒューズ回路を示す。通常選択用のヒューズ回路 $f0 \sim f63$ は、ヒューズを切断した場合に低電圧レベル（“L”レベル）を出力し、切断しない場合には高電圧レベル（“H”レベル）を出力する。また一方で、冗長選択用ヒューズ回路 $fj0$ 、 $fj1$ は、それとは逆に、ヒューズを切断した場合に“H”レベルを出力し、切断しない場合には“L”レベルを出力する。この場合、1ビットのシフト冗長に対し、



欠陥選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズの2本が切断される。各ヒューズ回路のヒューズと、複数の選択線の各々は、同一ピッチ（例えば、 $3, 2\mu\text{m}$ ）にて半導体チップ上に配置され、一対一に対応している。

#### 【0042】

シフト冗長制御回路部3は、これらのヒューズ回路の出力結果を受けてスイッチ部2の各々のスイッチ素子を制御する回路であり、各々のヒューズ回路に接続されたシフト制御回路は、NANDゲート3-1、3-3およびインバータ3-2、3-4が図3のように接続された回路により構成されている。この場合、NANDゲート3-1、3-3の代わりに、NORゲートを使用することもできる（詳細は後述する）。ここでは、シフト冗長制御回路部3内の複数のシフト制御回路は、一方の入力信号 $u_{in}$ と一方の出力信号 $u_{out}$ 、および、他方の入力信号 $l_{in}$ と他方の出力信号 $l_{out}$ を接続することによって図3のように直列接続されている。上記のシフト冗長制御回路部3の中で、一方の端に位置するシフト制御回路および他方の端に位置するシフト制御回路の入力信号 $u_{in}$ 、 $l_{in}$ は、それぞれ高電圧側の電源に接続されており、“H”レベルの電圧が入力される。

#### 【0043】

スイッチ部2内の各々のスイッチ素子の切替動作は、シフト冗長制御回路部3から出力される出力信号 $u_{out}$ 、 $l_{out}$ の“H”レベルおよび“L”レベルの組み合わせにより制御される。ヒューズを切断しない場合（図4の（a）のデフォルトの状態を参照）、出力信号 $u_{out}$ 、 $l_{out}$ の出力レベルは全て“L”レベルになる。さらに、このとき、シフト冗長ヒューズ回路4において、冗長選択線以外の選択線に対応するヒューズ回路の出力は“H”レベルになり、冗長選択線に対応するヒューズ回路の出力は“L”レベルになる。この場合は、シフト冗長動作はない（すなわち、シフトなしNS）と判断する。

#### 【0044】

ここで、例えば、ヒューズ $f_1$ と冗長選択用ヒューズ $f_{j0}$ を切断した場合（すなわち、選択線 $c_{11}$ に欠陥が存在し、冗長用選択線 $c_{1j0}$ を使用する場合

）、図4の（b）の1ビットのシフト冗長による選択線の状態から明らかなように、デコード信号線d0、d1は、冗長用選択線c1j0および選択線c10にそれぞれ接続される（すなわち、左方向シフトSL）。それ以外は、シフトなしNSとなる。このとき、シフト冗長制御回路部3においてヒューズf0および冗長選択用ヒューズfj0からの信号が入力される位置の出力信号uoutのみ“H”レベルになっており、それ以外の位置の出力信号は全て“L”レベルになるため、出力信号uout=“H”で出力信号lout=“L”の状態を左方向シフトSLと判定する。さらに、このとき、シフト冗長ヒューズ回路4において、選択線c10に対応するヒューズ回路（ヒューズf0）の出力は“H”レベルのままであるが、冗長選択線c1j0に対応するヒューズ回路（切断した冗長選択用ヒューズfj0）の出力は“L”レベルになる。

#### 【0045】

さらに、シフト冗長制御回路部3は、欠陥が存在する選択線c11に対しては、いずれのデコード信号線も接続されない非選択状態になるように、スイッチ部1内の対応するスイッチ素子の切替制御を行う。このとき、シフト冗長制御回路部3において、選択線c11に対応するヒューズf1からの信号が入力される位置の出力信号uoutは“L”レベルで出力信号loutは“L”になっている。さらに、このとき、シフト冗長ヒューズ回路4において、欠陥が存在する選択線c11に対応するヒューズ回路（切断したヒューズf1）の出力は“L”レベルになる。

#### 【0046】

同様にして、冗長選択用ヒューズ回路fj0、fj1のヒューズと、通常選択用のヒューズ回路f1、f61のヒューズを切断した場合、デコード信号線d0、d1は、冗長選択線c1j0、および選択線c10にそれぞれ接続され（左方向シフトSL）、デコード信号線d2～d60は、選択線c12～c160にそれぞれ接続され（シフトなしNS）、デコード信号線d61、d62およびd63は、それぞれ選択線c162、c163、および冗長選択線c1j1にそれぞれ接続される（右方向シフトSR）。このときの出力信号uout、loutは、図4の（c）の2ビットのシフト冗長による選択線の状態から明らかなように

、出力信号  $u_{out} = "L"$  で出力信号  $l_{out} = "H"$  の状態を右方向シフト  $SR$  と判定すればよいことがわかる。さらに、このとき、シフト冗長ヒューズ回路4において、選択線  $c_{10}$ 、 $c_{162}$  および  $c_{163}$  にそれぞれ対応するヒューズ回路の出力は " $H$ " レベルのままであるが、冗長選択線  $c_{1j0}$ 、 $c_{1j1}$  にそれぞれ対応するヒューズ回路（切断した冗長選択用ヒューズ  $f_{j0}$ 、 $c_{1j1}$ ）の出力は " $L$ " レベルになる。

## 【0047】

さらに、シフト冗長制御回路部3は、欠陥が存在する選択線  $c_{11}$ 、 $c_{161}$  に対しては、いずれのデコード信号線も接続されない非選択状態になるように、スイッチ部1内の対応するスイッチ素子の切替制御を行う。このとき、シフト冗長制御回路部3において、選択線  $c_{11}$ 、 $c_{161}$  にそれぞれ対応するヒューズ  $f_{11}$ 、 $f_{61}$  からの信号が入力される位置の出力信号  $u_{out}$  は " $L$ " レベルで出力信号  $l_{out} = "L"$  になっている。さらに、このとき、シフト冗長ヒューズ回路4において、欠陥が存在する選択線  $c_{11}$ 、 $c_{161}$  にそれぞれ対応するヒューズ回路（切断したヒューズ  $f_{11}$ 、 $f_{61}$ ）の出力は、いずれも " $L$ " レベルになる。

## 【0048】

要約すれば、本発明によれば、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、一方の冗長選択線の方角、および他方の冗長選択線の方角にデコード信号線をシフトさせることにより、2ビットのシフト冗長を行って欠陥選択線を救済することが可能になる。また一方で、1本の欠陥選択線が生じた場合には、従来のシフト冗長方式と同じように、2本の冗長選択線のいずれか一方の方角にデコード信号線をシフトさせることにより、1ビットのシフト冗長を行って欠陥選択線を救済することも可能である。

## 【0049】

かくして、本発明では、1ビットのシフト冗長、および2ビットのシフト冗長のいずれも行えるので、低消費電力および高速アクセスを実現すると共に、半導体チップ上の欠陥を効率良く救済することが可能になる。

## 【0050】

## 【発明の実施の形態】

以下、添付図面（図5～図49）を参照しながら、本発明の好ましい実施の形態（以後、実施例とよぶこととする）を説明する。

図5は、本発明の第1の実施例における選択線駆動回路の構成を示す回路図である。この選択線駆動回路は、図1のスイッチ部2内の各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

## 【0051】

図5において、 $s_{cu}$ には、シフト冗長制御回路部の各々のシフト制御回路における出力信号 $u_{out}$ が入力され、 $s_{cl}$ には、上記の各々のシフト制御回路における出力信号 $l_{out}$ が入力される。 $cfs$ は、ヒューズ回路の出力信号を表し（図8にて後述するヒューズ回路の出力信号 $cfs_z$ と一対一に対応する）、 $p_{cll}$ 、 $p_{clm}$ および $p_{clr}$ は、それぞれ、デコード信号線 $d(\#-1)$ 、 $d\#$ 、および $d(\#+1)$ からのデコード信号に相当する。 $clz000$ は任意の1本の選択線（例えば、カラム選択線）を示し、 $V_{clz}$ は、高電圧側の電源の電源電圧 $V_{ii}$ （内部電圧）に等しい。 $V_{ss}$ は低電圧側の電源の電源電圧、すなわち、アース電位を示す。

## 【0052】

図5に示す選択線駆動回路は、ヒューズ回路の出力信号 $cfs$ をインバータ10により反転した信号、シフト制御回路の一方の出力信号 $u_{out}$ 、およびシフト制御回路の他方の出力信号 $l_{out}$ を3つの入力信号とするNORゲート（否定論理和ゲート）11と、3つのインバータ12、14および16と、3つのトランスファゲート13、15および17からなる3方向性のスイッチ素子と、Pチャネル型トランジスタ18と、Pチャネル型トランジスタおよびNチャネル型トランジスタからなる出力ドライバ（もしくは、選択線駆動回路部）19とを備えている。

## 【0053】

さらに詳しく説明すると、シフト制御回路の出力信号 $u_{out}$ および $l_{out}$ が共に“L”レベルで、ヒューズ回路の出力信号 $cfs$ が“H”レベルである場

合、シフト冗長動作を行わないモードが選択されて第2番目のトランスファゲート15がオン状態になる。シフト制御回路の出力信号  $uout$  および  $lout$  がそれぞれ“H”レベルおよび“L”レベルで、ヒューズ回路の出力信号  $cf s$  が“H”レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択されて第1番目のトランスファゲート13がオン状態になる。シフト制御回路の出力信号  $uout$  および  $lout$  がそれぞれ“L”レベルおよび“H”レベルで、ヒューズ回路の出力信号  $cf s$  が“H”レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択されて第3番目のトランスファゲート17がオン状態になる。

## 【0054】

ここでは、デコード信号  $pc l l$ 、 $pc l m$  および  $pc l r$  がそれぞれ転送されるデコード信号線  $d(\#-1)$ 、 $d\#$ 、および  $d(\#+1)$  から選択線  $cl z$  000までのパスが、半導体チップのアクセス時間に影響するが、シフト冗長動作に関係した回路素子は一段のトランスファゲート13、15および17のみなので、高速アクセス性に優れていることがわかる。

## 【0055】

また一方で、シフト制御回路の出力信号  $uout$  および  $lout$  が共に“L”レベルで、ヒューズ回路の出力信号  $cf s$  が“L”レベルである場合、3個のトランスファゲート13、15および17のいずれもオフ状態になる。このときに、Pチャネル型トランジスタ18がオン状態になって“H”レベルの電圧が出力ドライバ19に入力される。この出力ドライバ19はインバータの構成になっているので、同出力ドライバ19の出力電圧は“L”レベルになる。すなわち、この出力ドライバ19に接続された選択線が欠陥選択線である場合、この欠陥選択線を常に非選択状態にすることができる。

## 【0056】

図6は、本発明の第1の実施例におけるシフト制御回路の構成を示す回路図である。図6のシフト制御回路は、図1のシフト冗長制御回路部3内の各々のシフト制御回路に対応するものである。

図6において、 $uout$  はシフト冗長制御回路部の各々のシフト制御回路にお

ける一方の出力信号を示し、*l o u t* は上記の各々のシフト制御回路における他方の出力信号を示す。*c f s* はヒューズ回路の出力信号を示し、図 8 にて後述するヒューズ回路の出力信号 *c f s z* と一対一に対応している。上記のシフト制御回路は、各々のヒューズ回路の出力結果を受けて各々のスイッチ素子を制御する回路であり、NANDゲート 30、32、およびインバータ 31、33 が図 6 のように接続された回路により構成されている。一方の入力信号 *u i n* と一方の出力信号 *u o u t*、および、他方の入力信号 *l i n* と他方の出力信号 *l o u t* を接続することによって、図 3 に示したような複数のシフト制御回路の直列接続によるシフト冗長制御回路部が構成される。

## 【0057】

図 7 は、本発明の第 1 の実施例におけるデコーダ回路の構成を示す回路図である。図 7 のデコーダ回路は、デコード信号 *p c l 0 0 0 z* ~ *p c l 0 0 7 z* (すなわち、図 2 中の *d #* に対応) を出力するデコーダ回路である。図中、*c a a # z*、*c a b # z* および *c a c # z* は選択アドレスのプリデコード信号 (すなわち、図 1 中のアドレス信号 *A d d* に対応) を示す。

## 【0058】

第 1 のプリデコード信号 *c a a 0 z* ~ *c a a 7 z* は、Pチャネル型トランジスタおよびNチャネル型トランジスタからなるインバータ 64 ~ 67 およびインバータ 50 ~ 53 にそれぞれ供給される。Nチャネル型トランジスタ 62 のゲートに入力される第 2 のプリデコード信号 *c a b 0 z* は、Pチャネル型トランジスタ 68、70、72 および 74、ならびに 54、56、58 および 60 のゲートにそれぞれ供給される。Nチャネル型トランジスタ 63 のゲートに入力される第 3 のプリデコード信号は、Pチャネル型トランジスタ 69、71、73 および 75、ならびに 55、57、59 および 61 のゲートにそれぞれ供給される。

## 【0059】

図 8 は、本発明の第 1 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図 8 の通常選択用のヒューズ回路 (ただし、強制冗長時に冗長される選択線用のヒューズ回路は除く) は、図 1 のシフト冗長ヒューズ回路部 4 内の選択線 *c 1 0*、*c 1 2* ~ *c 1 6 1*、および *c 1 6 3* に使用されるヒューズ回

路に対応するものである。

【0060】

図8において、 $s t t x$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号で、 $c f s z$ はヒューズ回路の出力信号である。図8に示すヒューズ回路は、制御信号 $s t t x$ が入力されるPチャンネル型トランジスタ41およびNチャンネル型トランジスタ42と、Nチャンネル型トランジスタ44と、2つのインバータ43、45とを備えている。ヒューズ40が切断されていない場合、電源が立ち上がった後は、ヒューズ回路の出力信号 $c f s z$ は“H”レベルになる。ヒューズ40が切断されている場合、ヒューズ回路の出力信号 $c f s z$ は“L”レベルになる。

【0061】

図9は、本発明の第1の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。図9の冗長選択用ヒューズ回路は、図1のシフト冗長ヒューズ回路部4内の冗長選択線 $c l j 0$ 、 $c l j 1$ に使用される冗長選択用ヒューズ回路に対応するものである。

図9において、 $f t p z$ は、強制冗長を行う際に“H”レベルになる制御信号である。図9に示す冗長選択用ヒューズ回路は、制御信号 $s t t x$ が入力されるPチャンネル型トランジスタ41rおよびNチャンネル型トランジスタ43rと、制御信号 $f t p z$ が入力されるPチャンネル型トランジスタ42rおよびNチャンネル型トランジスタ44rと、Nチャンネル型トランジスタ45rと、インバータ46rとを備えている。ヒューズ40rが切断されておらず、かつ、強制冗長を行わない場合（制御信号 $f t p z = “L”$ ）場合、冗長選択用ヒューズ回路の出力信号 $c f s j z$ は“L”レベルになる。また一方で、ヒューズ40rを実際に切断した場合、冗長選択用ヒューズ回路の出力信号 $c f s j z$ は“H”レベルになる。

【0062】

さらに、図9において、ヒューズ40rが切断されておらず、かつ、強制冗長を行った場合（制御信号 $f t p z = “H”$ ）、Pチャンネル型トランジスタ42rがオフ状態になり、Nチャンネル型トランジスタ44rがオン状態になってノード

n03が“L”レベルになる。この結果、冗長選択用ヒューズ回路の出力信号cfsjzは“H”レベルになる。この場合は、ヒューズ40rが見かけ上切断された状態になり、後述の図10の強制冗長選択用ヒューズ回路と共に強制冗長を行うことによって、冗長選択線に不良がないか否かを確認することができる。

#### 【0063】

図8の通常選択用のヒューズ回路、および図9の冗長選択用ヒューズ回路のいずれにおいても、冗長の対象とする選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズとを切断している。

図10は、本発明の第1の実施例における強制冗長選択用ヒューズ回路の構成を示す回路図である。本回路は、図1のシフト冗長ヒューズ回路部4内の強制冗長選択線c11、c162に使用される強制冗長用ヒューズ回路に対応するものである。

#### 【0064】

図10において、ftpzは、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図10に示す強制冗長用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ41fおよびNチャネル型トランジスタ43fと、制御信号ftpzが入力されるPチャネル型トランジスタ42fおよびNチャネル型トランジスタ44fと、Nチャネル型トランジスタ45fと、2つのインバータ46f、47fとを備えている。強制冗長時のヒューズ40fを切断したように見せかけた場合、強制冗長ヒューズ回路の出力信号cfsjzは“L”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。

#### 【0065】

さらに詳しく説明すると、強制冗長を行う場合には、Pチャネル型トランジスタ42fおよびNチャネル型トランジスタ44fの各々のゲートに対し、“H”レベルの制御信号ftpzを入力する。このようにすれば、Pチャネル型トランジスタ42fがオフ状態になり、Nチャネル型トランジスタ44fがオン状態になってインバータ46fの入力レベルが“L”レベルになる。この結果、インバ



ータ 47f の出力レベルが “L” レベルになり、“L” レベルの出力信号 c f s j z が生成されることになる。

#### 【0066】

また一方で、強制冗長を行わない場合には（制御信号 f t p z = “L”）、P チャンネル型トランジスタ 42f がオン状態になり、N チャンネル型トランジスタ 44f がオフ状態になってインバータ 46f の入力レベルが “H” レベルになる。この結果、インバータ 47f の出力レベルが “H” レベルになり、“H” レベルの出力信号 c f s j z が生成されることになる。さらに、ヒューズ 40f を実際に切断した場合、N チャンネル型トランジスタ 45f がオフ状態になってインバータ 46f の入力レベルが “L” レベルになる。この結果、インバータ 47f の出力レベルが “L” レベルになり、“L” レベルの出力信号 c f s j z が生成されることになる。

#### 【0067】

図 11～図 16 は、それぞれ、本発明の第 1 の実施例における各回路間のつながりを示す回路図のその 1～その 6 を示すものである。ここでは、前述の図 5 の選択線駆動回路、図 6 のシフト制御回路、図 8 の通常選択用のヒューズ回路、図 9 の冗長選択用ヒューズ回路、および図 10 の強制冗長選択用ヒューズ回路からなる複数の子回路を互いに結線することによって、64 本の選択線 c l z (1)～c l z (64)、および 2 本の冗長選択線 c l j z (0)、c l j z (1) を配置してなる半導体記憶装置（親回路）を形成した場合を例示している。

図 11 および図 12 は、このような親回路の左端部を示し、図 13 および図 14 は上記親回路の中央部を示し、図 15 および図 16 は、上記親回路の右端部を示している。図 11～図 16 においては、強制冗長選択用ヒューズ回路を含む複数のヒューズ回路（例えば、第 1 のヒューズ回路 60-1～第 64 のヒューズ回路 60-64）が、複数のシフト制御回路（例えば、第 1 のシフト制御回路 70-1～第 64 のシフト制御回路 70-64）にそれぞれ接続されている。さらに、これらの複数のシフト制御回路が、複数の選択線駆動回路（例えば、第 1 の選択線駆動回路 80-1～第 64 の選択線駆動回路 80-64）に接続されている。さらに、図 7 に示したデコーダ回路のデコード信号線は、複数の選択線駆動回

路に接続されており、上記デコード回路から出力されるデコード信号  $p c 1 0 0 0 z \sim p c 1 0 6 3 z$  は、上記複数の選択線駆動回路にそれぞれ入力される（各々の選択線駆動回路にて、デコード信号  $p c 1 m$  に入力される）。なお、前述したように、複数の選択線駆動回路の各々は、スイッチ部 2（図 1 参照）内の各々のスイッチ素子に対応する回路要素を含むものである。

## 【0068】

さらに、図 11 において、左端に位置する冗長選択用ヒューズ回路  $60 r 1$  が、冗長選択用シフト制御回路  $70 r 1$  に接続されており、この冗長選択用シフト制御回路  $70 r 1$  は、冗長選択線駆動回路  $80 r 1$  に接続されている。また一方で、図 16 において、右端に位置する冗長選択用ヒューズ回路  $60 r 2$  が、冗長選択用シフト制御回路  $70 r 2$  に接続されており、この冗長選択用シフト制御回路  $70 r 2$  は、冗長選択線駆動回路  $80 r 2$  に接続されている。

## 【0069】

さらに、図 11～図 16 より、強制冗長方式を実行する際に、強制冗長の対象となる強制冗長選択線は、 $c 1 z (1)$  と  $c 1 z (62)$  であることがわかる。シフト冗長を行う場合、まず冗長選択線に不良がないか否かを試験する必要がある。このときに、強制冗長方式を実行することによって、ヒューズを切断せずに電氣的に冗長選択線を選択することが可能であるが、このような強制冗長方式では、冗長選択線に対してディスタープ試験を行う場合、すなわち、隣を選択線を繰り返し選択したときの影響を試験する場合がある。この場合には、冗長選択線に隣接した選択線を強制冗長の対象にしてしまうと、上記のような試験ができないため、それ以外の選択線を強制冗長の対象にする必要がある。

## 【0070】

それゆえに、本発明の第 1 の実施例では、冗長選択線から一つ隣の選択線  $c 1 z (1)$  および  $c 1 z (62)$  を強制冗長の対象としている。当然のことながら、他の選択線  $c 1 z (2) \sim c 1 z (61)$  も可能な対象であるが、図 10 に示した強制冗長選択用ヒューズ回路は、通常選択線用のヒューズ回路（図 8 参照）と異なるため、同じくヒューズ回路の構成が若干異なる冗長選択線に近い場所に配置したほうが、回路レイアウト上都合が良い。

## 【0071】

好ましくは、本発明の第1の実施例では、半導体チップのメモリセルの周期性が変わらないように（すなわち、メモリセルのトポロジが変わらないように）するために、1本の選択線により選択されるメモリセルブロックの周期性をメモリセルの周期性に一致させるようにしている。

図17は、本発明の第1の実施例におけるシフト制御回路の回路レイアウトを示す図であり、図18は、本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図である。図17および図18は、本発明の第1の実施例のシフト制御回路およびヒューズ回路の回路パターンを半導体チップ上に形成した場合の概略的な回路パターンの一部を拡大したものである。

## 【0072】

図17および図18の回路パターンにおいては、1層目のNチャネル型トランジスタ用ポリシリコンパターン（ここでは、n-CH用ポリシリコンパターンと略記する）200と、1層目のPチャネル型トランジスタ用ポリシリコンパターン（ここでは、p-CH用ポリシリコンパターンと略記する）210と、2層目のポリシリコンパターン220と、アルミニウム（A1）等からなる1層目のメタル配線パターン300と、同じくアルミニウム等からなる2層目のメタル配線パターン310とが形成される。1層目のn-CH用ポリシリコンパターンを使用してNチャネル型トランジスタ（n-CHトランジスタ）230が形成され、2層目のp-CH用ポリシリコンパターンを使用してPチャネル型トランジスタ（p-CHトランジスタ）240が形成される。また一方で、異なる層のパターンの接続は、多数のスルーホール245を介して行われる。

## 【0073】

さらに、図18において、複数のカラム選択線を構成するカラム選択線パターンと複数のヒューズ400は、同一ピッチで描かれており、かつ、ヒューズとカラム選択線パターンは一対一に対応しているため、シフト冗長の処理がなされている選択線が一目でわかるようになっている。また一方で、シフト制御回路は、ヒューズを切断することによって一度電氣的に状態が決まれば、その状態（直流レベル）を保持する機能を有しているのみなので、信号処理の高速化は全く要求

されない。したがって、図 17 および図 18 の回路パターンでは、2 層目のメタル配線パターン 310 のような抵抗の低いメタル配線を、シフト冗長処理用の制御信号の転送に使用する必要がなくなる。それゆえに、2 層目のメタル配線パターン 310 の下の領域に、シフト冗長処理に使用される他の配線パターンを効率良く配置することができるようになり、半導体チップ上の回路の占有面積の節減が図れる。

## 【0074】

図 19 は、本発明の第 2 の実施例における選択線駆動回路の構成を示す回路図である。この選択線駆動回路は、図 1 のスイッチ部 2 内の各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

図 19 において、 $scu$ 、 $scl$  には、シフト冗長制御回路部の各々のシフト制御回路（図 20 にて後述する）における出力信号  $uout$ 、 $lout$  を反転したレベルの出力信号が入力される。 $cf sx$  はヒューズ回路の出力信号を表し、 $pmwl1$ 、 $pmwl m$  および  $pmwl r$  は、それぞれ、デコード信号線  $d(\#-1)$ 、 $d\#$ 、および  $d(\#+1)$  からのデコード信号に相当する。 $mw100x$  は任意の 1 本の選択線（例えば、メインワード選択線）を示し、前述の第 1 の実施例の場合とは逆に、“L” レベルにて選択状態になる。図 19 の  $Vpp$  は、内部電源の電源電圧の一つ（すなわち、選択線の“H”レベル）を表し、 $Vnw1$  は選択線の“L”レベル用の電源の電源電圧を表す。

## 【0075】

さらに、図 19 において、 $bwd x$  は選択信号の一部であり、動作時には“L”レベルの信号パルスが印加される。 $bke z$  も選択信号の一部であり、動作時には“H”レベルの信号パルスが印加され、デコード信号のデコード結果をサンプリングするために使用される。 $wbi z$  は、試験時に選択線を無条件に全て選択するための制御信号であり、通常“L”レベルになっている。 $wl r s x$  は選択線のリセット信号であり、選択された選択線を非選択状態にする場合に“H”レベルになる。

## 【0076】

図19に示す選択線駆動回路は、シフト制御回路の出力信号 $s_{cu}$ 、 $s_{cl}$ 、およびヒューズ回路の出力信号 $cfs_x$ がそれぞれ入力される3つのPチャネル型トランジスタ10a、12aおよび11aと、3つのNチャネル型トランジスタ13a～15aとを備えている。これらのPチャネル型トランジスタ10a、12aおよび11aと、Nチャネル型トランジスタ13a～15aは、3入力のNORゲートを構成する。さらに、図19の選択線駆動回路は、3つのデコード信号 $pmwl_1$ 、 $pmwl_m$ および $pmwl_r$ がそれぞれソース（またはドレイン）に入力される3つのNチャネル型トランジスタ17a、16bおよび16aを備えている。これらのNチャネル型トランジスタ17a、16bおよび16aからなるトランスファゲートは、3方向性のスイッチ素子として機能する。

#### 【0077】

さらに、図19の選択線駆動回路において、選択信号 $bke_z$ は、Nチャネル型トランジスタ18aのゲートに供給され、選択線のリセット信号 $wlrs_x$ は、Pチャネル型トランジスタ19aおよびNチャネル型トランジスタ22aのゲートに供給される。さらに、上記NORゲートからの出力信号は、Nチャネル型トランジスタ16bのゲートに入力される。さらに、Nチャネル型トランジスタ16bのドレインは、Nチャネル型トランジスタ18aのソースに接続される。さらに、Nチャネル型トランジスタ18aのドレインは、Pチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のゲートに接続される。上記のPチャネル型トランジスタ19aと、Pチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aと、Nチャネル型トランジスタ22aとは、選択信号 $bke_z$ およびリセット信号 $wlrs_x$ を入力信号とする2入力のNORゲートを構成する。

#### 【0078】

さらに、図19の選択線駆動回路において、上記のPチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のドレイン（ノード $n_{02}$ ）は、Pチャネル型トランジスタ23aおよびNチャネル型トランジスタ24aの各々のゲートに接続される。これらのPチャネル型トランジスタ23aおよびNチャネル型トランジスタ24aは一つのインバータを構成し、このインバータ

から任意の 1 本の選択線  $m w 1 0 0 x$  へ、“L”レベルまたは“H”レベルの信号が供給される。

## 【0079】

さらに、図 19 の選択線駆動回路において、制御信号  $w b i z$  は、Pチャネル型トランジスタ 25 a のゲートと、Nチャネル型トランジスタ 27 a のゲートに入力される。さらに、上記の Pチャネル型トランジスタ 20 a および Nチャネル型トランジスタ 21 a の各々のドレイン（ノード  $n 0 2$ ）は、Pチャネル型トランジスタ 26 a のゲートと、Nチャネル型トランジスタ 28 a のゲートに接続される。また一方で、選択信号  $b w d x$  は、Nチャネル型トランジスタ 27 a のソースと、Nチャネル型トランジスタ 28 a のソースに入力される。上記の Pチャネル型トランジスタ 25 a と、Pチャネル型トランジスタ 26 a および Nチャネル型トランジスタ 28 a と、Nチャネル型トランジスタ 27 a とは、制御信号  $w b i z$  および選択信号  $b w d x$  を入力信号とする 2 入力の NOR ゲートを構成する。

## 【0080】

図 19 の選択線駆動回路においても、前述の第 1 の実施例の選択線駆動回路（図 5）の場合と同じように、シフト制御回路の出力信号  $s c u$  および  $s c l$  がそれぞれ“H”レベルおよび“L”レベルで、ヒューズ回路の出力信号  $c f s x$  が“L”レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択される。これに対し、シフト制御回路の出力信号  $s c u$  および  $s c l$  がそれぞれ“L”レベルおよび“H”レベルで、ヒューズ回路の出力信号  $c f s x$  が“L”レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択される。

## 【0081】

図 20 は、本発明の第 2 の実施例における通常選択用のシフト制御回路の構成を示す回路図、図 21 は、本発明の第 2 の実施例における左端用冗長シフト制御回路の構成を示す回路図、そして、図 22 は、本発明の第 2 の実施例における右端用冗長シフト制御回路の構成を示す回路図である。換言すれば、図 20 は通常選択用のシフト制御回路、図 21 は左端に位置する冗長選択用シフト制御回路、図 22 は、右端に位置する冗長選択用シフト制御回路を示すものである。

## 【0082】

図20～図22においても、 $cf\ s\ x$ はヒューズ回路の出力信号を示す。上記のシフト制御回路は、前述の第1の実施例（図6）の場合とほぼ同じ機能を有する。シフト制御回路の入力信号 $l\ i\ n$ は左隣の出力信号 $l\ o\ u\ t$ と接続し、シフト制御回路の他の入力信号 $u\ i\ n$ は右隣の出力信号 $u\ o\ u\ t$ と接続し、左端の入力信号 $l\ i\ n$ および右端の入力信号 $u\ i\ n$ には、“L”（電圧 $V_{nw1}$ ）レベルが入力される。ただし、ここでは、各々のシフト制御回路は、前述の第1の実施例（図6）の場合と異なり、NORゲートとインバータにより構成されている。

## 【0083】

より詳しくいえば、図20の通常選択用のシフト制御回路の入力信号 $l\ i\ n$ の側に設けられたNORゲートは、2つのPチャネル型トランジスタ30a、31aと、2つのNチャネル型トランジスタ32a、33aにより構成される。さらに、出力信号 $l\ o\ u\ t$ の側に設けられたインバータ34aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。また一方で、図20のシフト制御回路の入力信号 $u\ i\ n$ の側に設けられたNORゲートは、2つのPチャネル型トランジスタ38a、39aと、2つのNチャネル型トランジスタ36a、37aにより構成される。さらに、出力信号 $u\ o\ u\ t$ の側に設けられたインバータ35aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。

## 【0084】

入力信号 $u\ i\ n$ の側に設けられたNORゲート内のNチャネル型トランジスタ36aのドレインから出力される出力信号 $s\ c\ u$ は、図19の選択線駆動回路の他方の入力信号として使用される。また一方で、入力信号 $l\ i\ n$ の側に設けられたNORゲート内のNチャネル型トランジスタ33aのドレインから出力される出力信号 $s\ c\ l$ は、図19の選択線駆動回路の一方の入力信号として使用される。これらの出力信号 $s\ c\ u$ 、 $s\ c\ l$ は、前述の第1の実施例の場合（出力信号 $u\ o\ u\ t$ 、 $l\ o\ u\ t$ によりスイッチ素子の動作を制御する）と異なり、図19のNチャネル型トランジスタ17a、16bおよび16aからなる3方向性のスイッチ素子の動作を制御するために使用される。

## 【0085】

図21の左端の冗長選択用シフト制御回路の構成は、図20の通常選択用のシフト制御回路の構成とほぼ同じであるが、出力信号  $uout$  を転送するためのインバータが設けられていない点が異なる。

より詳しくいえば、図21の左端の冗長選択用シフト制御回路の入力信号  $lin$  の側に設けられたNORゲートは、2つのPチャネル型トランジスタ70a、71aと、2つのNチャネル型トランジスタ72a、73aにより構成される。さらに、出力信号  $lout$  の側に設けられたインバータ74aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。また一方で、図21の冗長選択用シフト制御回路の入力信号  $uin$  の側に設けられたNORゲートは、2つのPチャネル型トランジスタ77a、78aと、2つのNチャネル型トランジスタ75a、76aにより構成される。

## 【0086】

図22の右端の冗長選択用シフト制御回路の構成は、図20の通常選択用のシフト制御回路の構成とほぼ同じであるが、出力信号  $lout$  を転送するためのインバータが設けられていない点が異なる。

より詳しくいえば、図22の左端の冗長選択用シフト制御回路の入力信号  $lin$  の側に設けられたNORゲートは、2つのPチャネル型トランジスタ80a、81aと、2つのNチャネル型トランジスタ82a、83aにより構成される。また一方で、図22の冗長選択用シフト制御回路の入力信号  $uin$  の側に設けられたNORゲートは、2つのPチャネル型トランジスタ85a、86aと、2つのNチャネル型トランジスタ84a、87aにより構成される。さらに、出力信号  $uout$  の側に設けられたインバータ88aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。

## 【0087】

図23は、本発明の第2の実施例における通常選択用のヒューズ回路の構成を示す回路図、図24は、本発明の第2の実施例における冗長選択用ヒューズ回路の構成を示す回路図、そして、図25は、本発明の第2の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。



図23においては、ヒューズ回路の出力信号  $cfsx$  がシフト制御回路のNORゲートに入力されているため、ヒューズが切断されていない場合、通常選択用のヒューズ回路は、前述の第1の実施例(図8)の場合と異なり、“L”レベルの信号を出力する。また一方で、ヒューズが切断されている場合、“H”レベルの信号を出力する。

## 【0088】

図24においては、冗長選択用ヒューズ回路は、ヒューズが切断されておらず、かつ、強制冗長を行わない場合、“H”レベルの信号を出力する。さらに、ヒューズが切断されている場合、“L”レベルの信号を出力する。また一方で、強制冗長を行った場合、冗長選択用ヒューズが見かけ上切断された状態になり、“L”レベルの信号を出力する。

## 【0089】

図25においては、強制冗長用ヒューズ回路は、ヒューズが切断されておらず、かつ、強制冗長を行わない場合、“L”レベルの信号を出力する。さらに、強制冗長を行った場合、強制冗長用ヒューズが見かけ上切断された状態になり、“H”レベルの信号を出力する。また一方で、強制冗長用ヒューズを実際に切断した場合、“H”レベルの信号を出力する。

## 【0090】

図23～図25において、 $sttxb$ 、 $ftpzb$ は、その電圧レベルが異なるのみで、前述の第1の実施例(図8)の $sttx$ 、 $ftpz$ とほぼ同じ機能を有する。

より詳しくいえば、図23に示す通常選択用のヒューズ回路は、制御信号  $sttxb$  がゲートに入力されるPチャネル型トランジスタ41aおよびNチャネル型トランジスタ42aと、2つのNチャネル型トランジスタ43a、45aと、Pチャネル型トランジスタ44aとを備えている。ヒューズ40aが切断されていない場合、電源が立ち上がった後は、ヒューズ回路の出力信号  $cfsx$  は“L”レベルになる。ヒューズ40が切断されている場合、ヒューズ回路の出力信号  $cfsx$  は“H”レベルになる。

## 【0091】

図 24 に示す冗長選択用ヒューズ回路は、制御信号  $s t t x b$  がゲートに入力される P チャンネル型トランジスタ 51 r および N チャンネル型トランジスタ 54 r と、制御信号  $f t p z b$  がゲートに入力される P チャンネル型トランジスタ 52 r および N チャンネル型トランジスタ 53 r と、2 つの N チャンネル型トランジスタ 55 r、57 r と、P チャンネル型トランジスタ 56 r と、インバータ 58 r とを備えている。ヒューズ 50 r が切断されておらず、かつ、強制冗長を行わない場合、N チャンネル型トランジスタ 55 r がオン状態になってヒューズ回路の出力信号  $c f s x$  は“H”レベルになる。ヒューズ 40 r が切断されている場合、N チャンネル型トランジスタ 55 r がオフ状態になってヒューズ回路の出力信号  $c f s x$  は“L”レベルになる。また一方で、強制冗長を行った場合、すなわち、制御信号  $f t p z b$  が“H”レベルになっている場合、N チャンネル型トランジスタ 53 r がオン状態になってヒューズ回路の出力信号  $c f s x$  は“L”レベルになる。

【0092】

図 25 に示す強制冗長用ヒューズ回路は、制御信号  $s t t x b$  がゲートに入力される P チャンネル型トランジスタ 51 f および N チャンネル型トランジスタ 54 f と、制御信号  $f t p z b$  がゲートに入力される P チャンネル型トランジスタ 52 f および N チャンネル型トランジスタ 53 f と、N チャンネル型トランジスタ 55 f と、インバータ 56 f とを備えている。ヒューズ 50 f が切断されておらず、かつ、強制冗長を行わない場合、P チャンネル型トランジスタ 52 f がオン状態になって N チャンネル型トランジスタ 55 f がオフ状態になり、ヒューズ回路の出力信号  $c f s x$  は“L”レベルになる。さらに、強制冗長を行った場合、すなわち、制御信号  $f t p z b$  が“H”レベルになっている場合、N チャンネル型トランジスタ 53 f がオン状態になってヒューズ回路の出力信号  $c f s x$  は“H”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。また一方で、ヒューズを 50 f を実際に切断した場合、N チャンネル型トランジスタ 55 f がオン状態になってヒューズ回路の出力信号  $c f s x$  は“H”レベルになる。

【0093】

図 26 は、本発明の第 2 の実施例におけるデコーダ回路の構成を示す回路図で

る。図26のデコーダ回路は、デコード信号d#（すなわち、デコード信号p m w l x）を出力するデコーダ回路である。

図中、r a a 0 0 zおよびr a b 0 0 zは、アドレスを表すプリデコード信号を示す。第1のプリデコード信号r a a 0 0 zは、Nチャネル型トランジスタ9 0 aのゲートに供給される。第2のプリデコード信号r a b 0 0 zは、Nチャネル型トランジスタ9 1 aのゲートに供給される。

【0094】

図27は、図19の選択線駆動回路の動作を説明するためのタイミングチャートである。

図27に示すように、第1のプリデコード信号r a a 0 0 zおよび第2のプリデコード信号r a b 0 0 zのいずれも“H”レベル、つまり、アドレスで選択されるデコード信号p m w l xのみが“L”レベルになり、かつ、選択線のリセット信号w l r s xが“L”レベルであって、選択信号b k e zが“H”レベルである場合を想定する。ここで、第1のプリデコード信号r a a 0 0 zおよび第2のプリデコード信号r a b 0 0 zのいずれも“H”レベル、つまり、アドレスで選択されるデコード信号p m w l xのみが“L”レベルになったときには、デコード信号p m w l xの信号線に接続された選択線駆動回路（図19参照）のノードn 0 1の電圧レベルのみが“L”レベルになる。この状態では、選択線m w l 0 0 xが選択されて“L”レベルの信号が出力される。

【0095】

また一方で、選択線のリセット信号w l r s xが“H”レベルになったときに、選択線m w l 0 0 xが非選択状態になって“H”レベルの信号が出力される。なお、この場合、制御信号w b i zおよび選択信号b w d xは、いずれも“L”レベルになっている。

図28～図33は、それぞれ、本発明の第2の実施例における各回路間のつながりを示す回路図のその1～その6を示すものである。ここでは、前述の図19の選択線駆動回路、図20～図22のシフト制御回路、図23～図25のヒューズ回路、および図26のデコーダ回路からなる複数の子回路を互いに結線することによって、64本の選択線m w l（0）～m w l（63）（例えば、メインワ

ード選択線)、および2本の冗長選択線  $mw1jz(0)$ 、 $mw1jz(1)$  を配置してなる半導体記憶装置(親回路)を形成した場合を例示している。

#### 【0096】

図28および図29は、このような親回路の左端部を図示し、図30および図31は上記親回路の中央部を示し、図32および図33は、上記親回路の右端部を示している。図28～図33においては、複数のデコーダ回路(例えば、第1のデコーダ回路52-1～第64のデコーダ回路52-64)が、複数の選択線駆動回路(例えば、第1の選択線駆動回路82-1～第64の選択線駆動回路82-64)にそれぞれ接続されており、複数のデコーダ回路の各々から出力されるデコード信号  $pmw1x$  は、複数の選択線駆動回路の各々に入力される。

#### 【0097】

さらに、複数のヒューズ回路(例えば、第1のヒューズ回路62-1～第64のヒューズ回路62-64)が、複数のシフト制御回路(例えば、第1のシフト制御回路72-1～第64のシフト制御回路72-64)にそれぞれ接続されている。さらに、これらの複数のシフト制御回路が、複数の選択線駆動回路にそれぞれ接続されている。

#### 【0098】

さらに、図28において、左端に位置する冗長選択用ヒューズ回路62r1が、冗長選択用シフト制御回路72r1に接続されており、この冗長選択用シフト制御回路72r1は、冗長選択線駆動回路82r1に接続されている。また一方で、図33において、右端に位置する冗長選択用ヒューズ回路62r2が、冗長選択用シフト制御回路72r2に接続されており、この冗長選択用シフト制御回路72r2は、冗長選択線駆動回路82r2に接続されている。

#### 【0099】

さらに、図28～図33より、強制冗長方式を実行する際に、強制冗長の対象となる強制冗長選択線は、 $mw1(1)$  と  $mw1(62)$  であることがわかる。シフト冗長を行う場合、まず冗長選択線に不良がないか否かを試験する必要がある。このときに、強制冗長方式を実行することによって、ヒューズを切断せずに電氣的に冗長選択線を選択することが可能であるが、このような強制冗長方式で

は、冗長選択線に対してディスタープ試験を行う場合、すなわち、隣を選択線を繰り返し選択したときの影響を試験する場合がある。この場合には、冗長選択線に隣接した選択線を強制冗長の対象にしてしまうと、上記のような試験ができないため、それ以外の選択線を強制冗長の対象にする必要がある。

#### 【0100】

それゆえに、本発明の第2の実施例においても、前述の第1の実施例の場合と同じように、冗長選択線から一つ隣の選択線  $mw1z(1)$  および  $mw1(62)$  を強制冗長の対象としている。

図34は、本発明の第2の実施例におけるシフト制御回路の回路レイアウトを示す図であり、図35は、本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図である。図34および図35は、本発明の第2の実施例のシフト制御回路およびヒューズ回路の回路パターンを半導体チップ上に形成した場合の概略的な回路パターンの一部を拡大したものである。

#### 【0101】

図34および図35の回路パターンにおいては、1層目のNチャネル型トランジスタ用ポリシリコンパターン（ここでは、 $n-CH$ 用ポリシリコンパターンと略記する）250と、1層目のPチャネル型トランジスタ用ポリシリコンパターン（ここでは、 $p-CH$ 用ポリシリコンパターンと略記する）260と、2層目のポリシリコンパターン270と、アルミニウム等からなる1層目のメタル配線パターン350と、同じくアルミニウム等からなる2層目のメタル配線パターン360とが形成される。1層目の $n-CH$ 用ポリシリコンパターンを使用してNチャネル型トランジスタ（ $n-CH$ トランジスタ）280が形成され、2層目の $p-CH$ 用ポリシリコンパターンを使用してPチャネル型トランジスタ（ $p-CH$ トランジスタ）290が形成される。また一方で、異なる層のパターンの接続は、多数のスルーホール295を介して行われる。

#### 【0102】

さらに、図35において、複数のメインワード選択線を構成するメインワード選択線パターンと複数のヒューズ450は、同一ピッチで描かれており、かつ、ヒューズとカラム選択線パターンは一対一に対応しているため、シフト冗長の処

理がなされている選択線が一目でわかるようになっている。また一方で、シフト制御回路は、ヒューズを切断することによって一度電氣的に状態が決まれば、その状態を保持する機能を有しているのみなので、信号処理の高速化は全く要求されない。したがって、図34および図35の回路パターンでも、前述の図17および図18の場合と同じように、2層目のメタル配線パターン360のような抵抗の低いメタル配線を、シフト冗長処理用の制御信号の転送に使用する必要がなくなる。それゆえに、2層目のメタル配線パターン360の下領域に、シフト冗長処理に使用される他の配線パターンを効率良く配置することができるようになる。

#### 【0103】

図36は、本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図である。

半導体チップを実装したパッケージについて不良解析を行う際、シフト冗長を行った場所が顕微鏡等により特定できないので、上記のようなシフト冗長処理がなされているブロックを電氣的に検出しなければならない場合がある。このために、図36に示したような冗長ブロック検出回路を使用してシフト冗長処理がなされているブロックを検出する方法が有効である。

#### 【0104】

図36において、 $tesz$ は冗長ブロック検出のテストを行う際に“H”レベルになる信号であり、 $blkz$ は上記テストを行う際の最小単位のブロックの選択信号である。この場合、該当するブロックの選択信号 $blkz$ が“H”レベルとなる。本発明の実施例に係るシフト冗長方式では、冗長選択線を使用する場合に上記冗長選択線に対応するヒューズを切断するため、このヒューズを切断した状態を判定基準にすることによって冗長ブロック検出が可能となる。

#### 【0105】

例えば、図36の冗長選択用ヒューズ回路の出力信号 $cf sjz$ は、対応するヒューズを切断すると“H”レベルの信号を出力する（図9参照）。この出力信号 $cf sjz$ は、Nチャネル型トランジスタ102を介して半導体チップ内に供給される。上記の出力信号を図36の“ $cf sjz$ ”の端子に入力すると、選択

されたブロックでシフト冗長処理を行っている場合、トランジスタ 103 を介して電源に接続されたライン上に転送される信号  $p j d c x$  が“L”レベルになり、インバータ 104 を通して出力されるインバート信号  $j d c z$  が“H”レベルになる。例えば、このインバート信号  $j d c z$  を外部に出力したり、出力データ  $DQ$  やアドレス信号  $A d d$  のピンにリーク電流が流れるようにしたりすること等によって、所望の動作が行われる。

#### 【0106】

図 37～図 39 は、それぞれ、本発明の第 3 の実施例の全体的な回路構成を示すブロック図のその 1～その 3 を示すものである。

前述の第 1 および第 2 の実施例では、シフト冗長処理を行うために、複数の選択線に対し一対一対応でヒューズを設ける必要がある。それゆえに、選択線の数が増加するにつれてヒューズの数も増大する。例えば、64 本の選択線が配置された半導体記憶装置においては、64 本の選択線、および冗長選択線にそれぞれ対応する合計 66 個のヒューズを半導体チップ上にレイアウトしなければならない。

#### 【0107】

図 37～図 39 の第 3 の実施例では、上記の点を考慮し、複数のヒューズの組み合わせにより生成される信号をデコードすることによって必要なヒューズ数を節減するようにしている。例えば、64 本の選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6 本 ( $2^6 = 64$ ) のヒューズを組み合わせることによって 64 通りのヒューズデコード信号が生成されるので、2 本の冗長選択用ヒューズを含めても 14 本のヒューズを用意すればよいことになる。この場合も、前に示した例と同様に、ヒューズを実際に切断することができないので、ヒューズを切断したように見せかける強制冗長用ヒューズを生成するための回路（すなわち、強制冗長用ヒューズ回路 500-2、500-8）を設けることが必要になる。

#### 【0108】

さらに詳しく説明すると、上記の第 3 の実施例では、それぞれヒューズを有する 10 個のヒューズ回路 500-3～500-7、および 500-9～500-

13と、2個の冗長選択用ヒューズ回路500-1、500-14と、2個の強制冗長用ヒューズ回路500-2、500-8とを設けている。さらに、一方の冗長選択用ヒューズ回路500-1から出力される信号jfs0x、一方の強制冗長用ヒューズ回路500-2から出力される信号fs00x、およびヒューズ回路500-3～500-7から出力される信号fs01x～fs05xをもとに、相補形式のヒューズ信号cfa00x/cfa00z、cfa01x/cfa01z、cfb00x/cfb00z、cfb01x/cfb01z、cfc00x/cfc00z、およびcfc01x/cfc01zを生成するヒューズ信号生成回路510-1～510-6を設けている。

#### 【0109】

さらに、上記の第3の実施例では、ヒューズ信号生成回路510-1～510-6の出力側に、ヒューズプリデコーダ回路520-1～520-12を設けている。これらのヒューズプリデコーダ回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、12種のヒューズプリデコード信号faa00x～faa03x、fab00x～fab03x、およびfac00x～fac03xを出力するものである。

#### 【0110】

さらに、上記の第3の実施例では、他方の強制冗長用ヒューズ回路500-8から出力される信号fs15x、ヒューズ回路500-9～500-13から出力される信号fs10x～fs14x、および他方の冗長選択用ヒューズ回路500-14から出力される信号jfs1xをもとに、相補形式のヒューズ信号cfa10x/cfa10z、cfa11x/cfa11z、cfb10x/cfb10z、cfb11x/cfb11z、cfc10x/cfc10z、およびcfc11x/cfc11zを生成するヒューズ信号生成回路510-7～510-12を設けている。

#### 【0111】

さらに、上記の第3の実施例では、ヒューズ信号生成回路510-7～510-12の出力側に、ヒューズプリデコーダ回路520-13～520-24を設けている。これらのヒューズプリデコーダ回路は、ヒューズ信号生成回路により



生成された相補形式のヒューズ信号を適当に組み合わせることにより、別の12種のヒューズプリデコード信号  $f a a 1 0 x \sim f a a 1 3 x$ 、 $f a b 1 0 x \sim f a b 1 3 x$ 、および  $f a c 1 0 x \sim f a c 1 3 x$  を出力するものである。

#### 【0112】

さらに、上記の第3の実施例では、第1のグループのヒューズプリデコード回路520-1～520-12から出力される12種のヒューズプリデコード信号と、第2のグループのヒューズプリデコード回路520-13～520-24から出力される12種のヒューズプリデコード信号とを組み合わせることにより、選択線の総数に対応する64通りのヒューズデコード信号  $f a 0 0 x \sim f a 6 3 x$  を生成するヒューズデコード回路530-1～530-m (mは2以上の任意の正の整数、ここでは、 $m=64$ ) を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号  $f a 0 0 x \sim f a 6 3 x$  は、前述の第1および第2の実施例とほぼ同じ構成のシフト制御回路540-2～540-m+1に入力され、必要に応じてシフト冗長が行われる。なお、冗長選択用ヒューズ回路500-1、500-14の出力信号  $f a j 0 x$ 、 $f a j 1 x$  は、それぞれ、冗長選択用のシフト制御回路540-1、540-m+2にそのまま入力される。

#### 【0113】

図40は、本発明の第3の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図41は、本発明の第3の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図42は、本発明の第3の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

図40～図42に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路、および通常選択用のヒューズ回路の構成は、前述の第1の実施例の構成(図8～図10)の構成とほぼ同じである。

図40において、 $s t t x$  は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。 $f t p z$  は、強制冗長を行う際に“H”レベルになる制御信号である。図40に示す冗長選択用ヒューズ回路は、制御信号  $s t t x$  が入力されるPチャネル

型トランジスタ401rおよびNチャネル型トランジスタ403rと、制御信号ftpzが入力されるPチャネル型トランジスタ402rおよびNチャネル型トランジスタ404rと、Nチャネル型トランジスタ405rと、2つのインバータ406r、407rとを備えている。強制冗長処理を行わない場合、ヒューズ回路の出力信号jfsx（図37および図39の出力信号jfs0x、jfs1xに対応する）は“H”レベルになる。強制冗長処理を行った場合（すなわち、ヒューズ400rを切断したように見せかけた場合）、冗長選択用ヒューズ回路の出力信号jfsxは“L”レベルになる。ただし、シフト制御回路に対しては、強制冗長処理を行わない場合に“L”レベルの出力信号fajx（図37および図39の出力信号faj0x、faj1xに対応する）が供給される。

#### 【0114】

図41において、ftpzは、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図41に示す強制冗長用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ401fおよびNチャネル型トランジスタ403fと、制御信号ftpzが入力されるPチャネル型トランジスタ402fおよびNチャネル型トランジスタ404fと、Nチャネル型トランジスタ405fと、2つのインバータ406f、407fとを備えている。ここでは、ヒューズ400fを強制冗長の対象とし、このヒューズ400fを切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号fsx（図37および図38の出力信号fs00x、fs15xに対応する）は“L”レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

#### 【0115】

図42に示すヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ41bおよびNチャネル型トランジスタ42bと、Nチャネル型トランジスタ43bと、2つのインバータ44b、45bとを備えている。電源が立ち上がって制御信号sttxが“L”レベルになった場合、ヒューズ40bが切断されていないときは、Nチャネル型トランジスタ43bがオン状態になってヒューズ回路の出力信号fsx（fs#x）は“H”レベルになる。ヒューズ40bを切断したときは、Nチャネル型トランジスタ43bがオフ状態になってヒューズ回路の出力信号fsx（fs#x）は“L”レベルになる。

ーズ回路の出力信号  $f s x$  は“L”レベルになる。

【0116】

図43は、本発明の第3の実施例におけるヒューズ信号生成回路の構成を示す回路図である。図43に示すヒューズ信号生成回路は、インバータ512と、2つのNORゲート511、513により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号  $f s \# x$  と、冗長選択用ヒューズ回路の出力信号  $j f s x$  に基づき、相補形式のヒューズ信号  $c f a \# x / c f a \# z$  が生成される。

【0117】

図44は、本発明の第3の実施例におけるヒューズプリデコーダ回路の構成を示す回路図である。図44に示すヒューズプリデコーダ回路は、NANDゲート521により構成される。このNANDゲート521では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号（例えば、ヒューズ信号  $c f a 0 0 x$ 、 $c f a 0 1 x$ ）を入力することにより、複数種のヒューズプリデコード信号（ $f a a \# x$ 、 $f a b \# x$  または  $f a c \# x$ ）を生成するようにしている。

【0118】

図45は、本発明の第3の実施例におけるヒューズデコーダ回路の構成を示す回路図である。図45に示すヒューズデコーダ回路は、3つのNORゲート531、532および533により構成される。このヒューズデコーダ回路では、異なるヒューズプリデコーダ回路により生成されたヒューズプリデコード信号を適当に組み合わせることにより、アドレスを指定するためのヒューズデコード信号（例えば、 $f a \# x$ ）を生成するようにしている。

【0119】

上記の第3の実施例によれば、半導体記憶装置の複数の選択線に対してシフト冗長を行う場合に必要なヒューズの数を大幅に節減することができるようになり、半導体チップの面積の節減が図れる。

図46は、選択線に欠陥がない場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図、図47は、選択線に欠陥がない場合における図

44のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図、図48は、2シフト冗長（2ビットのシフト冗長動作）を実行した場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図、そして、図49は、2シフト冗長を実行した場合における図44のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

#### 【0120】

図46に示すように、複数の選択線に欠陥が存在しない場合（デフォルトの状態になっている場合）、全ての通常選択用のヒューズ回路の出力信号  $f s 0 0 x \sim f s 1 5 x$  が“H”レベルになると共に、両端に位置する冗長選択用ヒューズ回路の出力信号が“H”レベルになって、全ての出力信号が“H”レベルになる。

#### 【0121】

図46から明らかなように、複数の選択線に欠陥が存在しない場合、全ての選択線が選択される状態になる。この場合の出力信号  $f s 0 0 x \sim f s 1 5 x$  は、2つの冗長選択用ヒューズ回路の出力信号  $j f s 0 x$ 、 $j f s 1 x$  と共に、“H”レベルになっている。また一方で、図47から明らかなように、ヒューズプリデコーダ回路の出力信号  $f a 1 8 x$ 、 $f a 1 9 x$ 、…および  $f s 4 3 x$  は、全て“H”レベルになっている。また、複数の選択線に欠陥が存在しない場合、図47から明らかなように、2つの冗長選択用ヒューズ回路からそれぞれ出力される冗長選択用の信号  $f a j 0 x$ 、 $f a j 1 x$  は、“L”レベルになっている。

#### 【0122】

また一方で、2本以上の選択線に欠陥が発生した場合、図48に示すように、これらの欠陥が発生したアドレスに対応するヒューズ回路の出力信号が、確実に“L”レベルになることがわかる。さらに、図49に示すように、ヒューズプリデコーダ回路の出力信号  $f a 1 8 x$ 、 $f a 1 9 x$ 、…および  $f s 4 3 x$  の中で、上記欠陥が発生したアドレスに対応する出力信号が、確実に“L”レベルになることがわかる。

#### 【0123】

#### 【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、第1に、複数の選択線内の2本の選択線に欠陥が発生した場合に、複数の選択線の中で一方の端に位置する第1の冗長選択線の方に、1ビット分だけ複数のデコード信号線をシフトさせると共に、上記選択線の中で他方の端に位置する第2の冗長選択線の方に、1ビット分だけ複数のデコード信号線をシフトさせるようにスイッチの切替動作を制御しているので、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、一方の冗長選択線の方、および他方の冗長選択線の方にシフトさせることにより、低消費電力および高速アクセスによる2ビットのシフト冗長を行って欠陥選択線を効率良く救済することが可能になる。

## 【0124】

さらに、本発明の半導体記憶装置によれば、第2に、複数の選択線内の1本の選択線に欠陥が発生した場合に、複数の選択線の中でいずれか一方の端に位置する冗長選択線の方に、1ビット分だけ複数のデコード信号線をシフトさせるようにスイッチ素子の切替動作を制御しているので、1本の欠陥選択線が生じた場合には、従来のシフト冗長方式と同じように、2本の冗長選択線のいずれか一方の方にシフトさせることにより、1ビットのシフト冗長を行って欠陥選択線を救済することも可能である。

## 【0125】

さらに、本発明の半導体記憶装置によれば、第3に、シフト冗長ヒューズ回路部から、ヒューズが切断されているか否かを示す直流電圧のレベルにて出力されるようになっているので、信号処理の高速化を必要とせず、半導体チップ上の回路レイアウトが比較的簡単になり、半導体チップの占有面積の節減が図れる。

さらに、本発明の半導体記憶装置によれば、第4に、シフト冗長制御回路部が、ヒューズ回路からの出力結果を受けてシフト冗長を行うためのシフト制御信号を出力するNANDゲートもしくはNORゲートと、インバータにより構成することができるので、簡単な回路構成によりシフト冗長制御回路を構成することが可能になる。

## 【0126】

さらに、本発明の半導体記憶装置によれば、第5に、複数の選択線に接続され

るスイッチ素子の各々が、左方向へのシフト冗長を行うモード、左方向へのシフト冗長を行うモードまたはシフト冗長を行わないモードを選択することが可能な 3 方向性のスイッチ素子により構成されるので、簡単な回路構成によりスイッチ素子を構成することが可能になる。

【0127】

さらに、本発明の半導体記憶装置によれば、第 6 に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長ヒューズ回路を設けているので、冗長選択線を切断する前に冗長選択線に不良がないか否かを確認することができるようになり、冗長選択線に対する隣を選択線の影響等を簡単に試験することが可能になる。

【0128】

さらに、本発明の半導体記憶装置によれば、第 7 に、複数のメモリセルのブロック内で、冗長判定用のヒューズ回路の出力レベルを評価して一部のヒューズが切断されているか否かを判定することにより、シフト冗長処理がなされているか否かを検出するようにしているので、半導体記憶装置をチップ上に実装してパッケージ等を製造した後でも、シフト冗長処理がなされたブロックを容易に検出することが可能になる。

【0129】

さらに、本発明の半導体記憶装置によれば、第 8 に、シフト冗長処理を行った場合に、複数のメモリセルのブロックの順番が変わらないように、各々のブロック内のメモリセルを選択してデータの書き込みまたは読み出しを行うようにしている。

さらに、本発明の半導体記憶装置によれば、第 9 に、半導体チップ内で、複数の選択線と複数のヒューズとが同一のピッチにてレイアウトが行われるようにしているので、シフト冗長処理がなされている選択線を一目で確認することができるようになる。

【0130】

さらに、本発明の半導体記憶装置によれば、第 10 に、複数の選択線内の 2 本の選択線に欠陥が発生した場合に、これらの選択線の総数よりも少ない複数のヒ

ューズの組み合わせにより、2本の欠陥選択線の各々に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するようにしているので、半導体チップ上のヒューズの実装数が減少し、半導体チップ上のヒューズの占有面積の節減が図れる。

#### 【0131】

さらに、本発明の半導体記憶装置によれば、第11に、複数の選択線内の1本の選択線に欠陥が発生した場合に、これらの選択線の総数よりも少ない複数のヒューズの組み合わせにより、1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するようにしているので、従来よりも少ない数のヒューズを使用して1ビットのシフト冗長を行い、欠陥選択線を救済することも可能である。

#### 【図面の簡単な説明】

##### 【図1】

本発明の原理構成を示すブロック図である。

##### 【図2】

本発明の基本原理を説明するための模式図である。

##### 【図3】

本発明のシフト冗長回路の基本概念を示すブロック図である。

##### 【図4】

図3の各部の信号レベルを示す図である。

##### 【図5】

本発明の第1の実施例における選択線駆動回路の構成を示す回路図である。

##### 【図6】

本発明の第1の実施例におけるシフト制御回路の構成を示す回路図である。

##### 【図7】

本発明の第1の実施例におけるデコーダ回路の構成を示す回路図である。

##### 【図8】

本発明の第1の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 9】

本発明の第 1 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 10】

本発明の第 1 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 11】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 1）である。

【図 12】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 2）である。

【図 13】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 3）である。

【図 14】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 4）である。

【図 15】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 5）である。

【図 16】

本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 6）である。

【図 17】

本発明の第 1 の実施例におけるシフト制御回路の回路レイアウトを示す図である。

【図 18】

本発明の第 1 の実施例におけるヒューズ回路の回路レイアウトを示す図である



【図 19】

本発明の第 2 の実施例における選択線駆動回路の構成を示す回路図である。

【図 20】

本発明の第 2 の実施例における通常選択用のシフト制御回路の構成を示す回路図である。

【図 21】

本発明の第 2 の実施例における左端用冗長シフト制御回路の構成を示す回路図である。

【図 22】

本発明の第 2 の実施例における右端用冗長シフト制御回路の構成を示す回路図である。

【図 23】

本発明の第 2 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 24】

本発明の第 2 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 25】

本発明の第 2 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 26】

本発明の第 2 の実施例におけるデコーダ回路の構成を示す回路図である。

【図 27】

図 19 の選択線駆動回路の動作を説明するためのタイミングチャートである。

【図 28】

本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 1）である。

【図 29】

本発明の第2の実施例における各回路間のつながりを示す回路図（その2）である。

【図30】

本発明の第2の実施例における各回路間のつながりを示す回路図（その3）である。

【図31】

本発明の第2の実施例における各回路間のつながりを示す回路図（その4）である。

【図32】

本発明の第2の実施例における各回路間のつながりを示す回路図（その5）である。

【図33】

本発明の第2の実施例における各回路間のつながりを示す回路図（その6）である。

【図34】

本発明の第2の実施例におけるシフト制御回路の回路レイアウトを示す図である。

【図35】

本発明の第2の実施例におけるヒューズ回路の回路レイアウトを示す図である。

【図36】

本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図である。

【図37】

本発明の第3の実施例の全体的な回路構成を示すブロック図（その1）である。

【図38】

本発明の第3の実施例の全体的な回路構成を示すブロック図（その2）である。

【図 39】

本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 3）である。

【図 40】

本発明の第 3 の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図 41】

本発明の第 3 の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図 42】

本発明の第 3 の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図 43】

本発明の第 3 の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図 44】

本発明の第 3 の実施例におけるヒューズプリデコーダ回路の構成を示す回路図である。

【図 45】

本発明の第 3 の実施例におけるヒューズデコーダ回路の構成を示す回路図である。

【図 46】

選択線に欠陥がない場合における図 42 のヒューズ回路のシミュレーション動作を示す電圧波形図である。

【図 47】

選択線に欠陥がない場合における図 44 のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【図 48】

2 シフト冗長を実行した場合における図 42 のヒューズ回路のシミュレーション

ン動作を示す電圧波形図である。

【図 49】

2 シフト冗長を実行した場合における図 44 のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【図 50】

一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図である。

【符号の説明】

- 1 …シフト冗長回路
- 2 …スイッチ部
- 3 …シフト冗長制御回路部
- 3-1、3-3 …NANDゲート
- 3-2、3-4 …インバータ
- 4 …シフト冗長ヒューズ回路部
- 5 …デコーダ回路
- 10 …インバータ
- 11 …NORゲート
- 12、14 および 16 …インバータ
- 13、15 および 17 …トランスファゲート
- 18 …Pチャネル型トランジスタ
- 10a ~ 12a …Pチャネル型トランジスタ
- 13a ~ 18a …Nチャネル型トランジスタ
- 19a、20a …Pチャネル型トランジスタ
- 21a、22a …Nチャネル型トランジスタ
- 23a …Pチャネル型トランジスタ
- 24a …Nチャネル型トランジスタ
- 25a、26a …Pチャネル型トランジスタ
- 27a、28a …Nチャネル型トランジスタ
- 30、32 …NANDゲート
- 31、33 …インバータ

30 a、31 a…Pチャネル型トランジスタ  
 32 a、33 a…Nチャネル型トランジスタ  
 34 a、35 a…インバータ  
 36 a、37 a…Nチャネル型トランジスタ  
 38 a、39 a…Pチャネル型トランジスタ  
 40…ヒューズ  
 41…Pチャネル型トランジスタ  
 42、44…Nチャネル型トランジスタ  
 43、45…インバータ  
 40 a…ヒューズ  
 41 a、44 a…Pチャネル型トランジスタ  
 42 a、43 aおよび45 a…Nチャネル型トランジスタ  
 40 b…ヒューズ  
 41 b…Pチャネル型トランジスタ  
 42 b、43 b…Nチャネル型トランジスタ  
 44 b、45 b…インバータ  
 50～53…インバータ  
 52-1～52-64…選択線デコーダ回路  
 54～61…Pチャネル型トランジスタ  
 60-1～60-64…ヒューズ回路  
 60 r 1、60 r 2…冗長選択用ヒューズ回路  
 62、63…Nチャネル型トランジスタ  
 62-1～62-64…ヒューズ回路  
 62 r 1、62 r 2…冗長選択用ヒューズ回路  
 64～67…インバータ  
 68～75…Pチャネル型トランジスタ  
 70-1～70-64…シフト制御回路  
 70 r 1、70 r 2…冗長選択用シフト制御回路  
 72-1～72-64…シフト制御回路

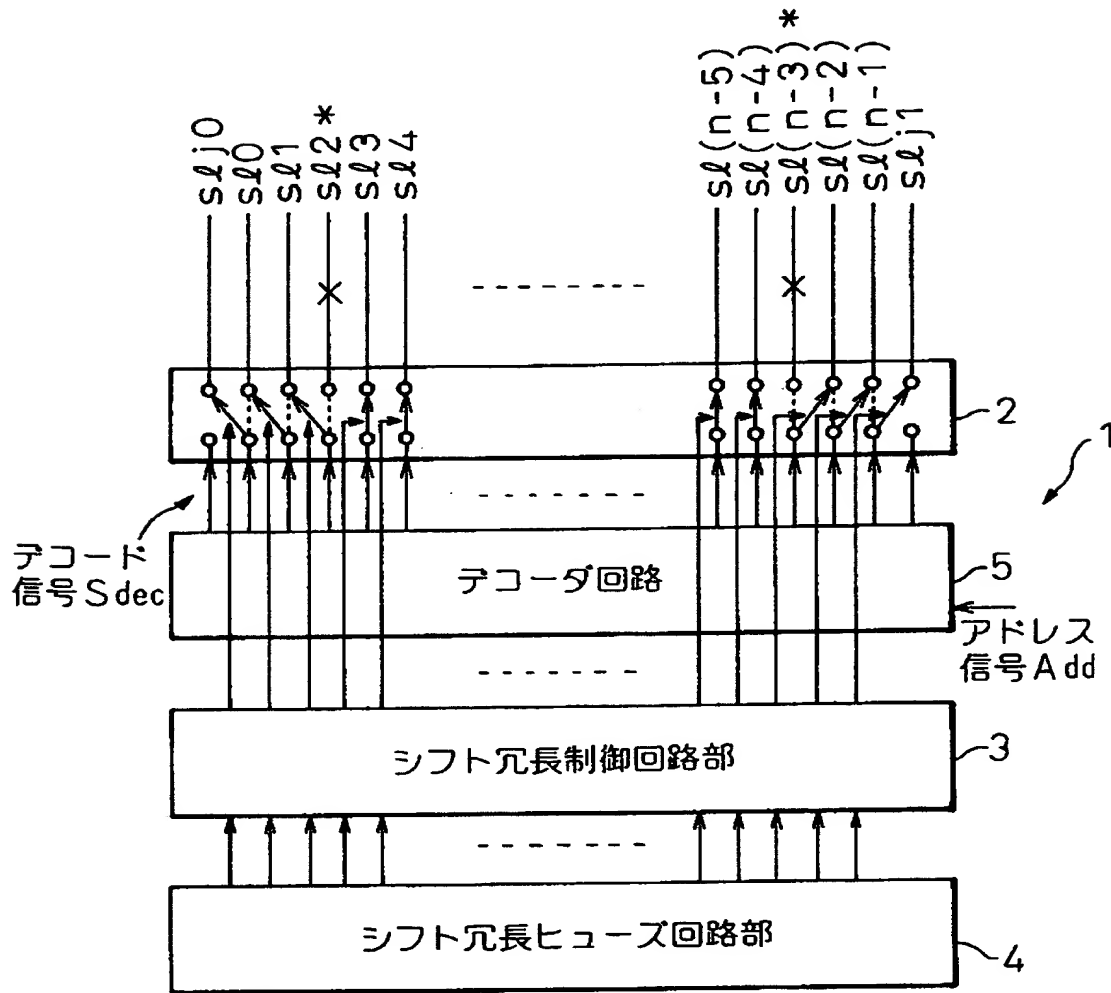
72r1、72r2…冗長選択用シフト制御回路  
 80-1～80-64…選択線駆動回路  
 80r1、80r2…冗長選択線駆動回路  
 82-1～82-64…選択線駆動回路  
 82r1、82r2…冗長選択線駆動回路  
 90a、91a…Nチャネル型トランジスタ  
 500-1、500-14…冗長用ヒューズ回路  
 500-2、500-8…強制冗長用ヒューズ回路  
 500-3～500-7、500-9～500-13…ヒューズ回路  
 510-1～510-12…ヒューズ信号生成回路  
 511、513…NANDゲート  
 512…インバータ  
 520-1～520-24…ヒューズプリデコーダ回路  
 521…NANDゲート  
 530-1～530-m…ヒューズデコーダ回路  
 531～533…NORゲート  
 540-1～540-m+2…シフト制御回路  
 600…メモリセル  
 700…列デコーダ  
 720…ディレイ回路  
 740…冗長判定回路  
 800…行デコーダ  
 820…ディレイ回路  
 840…冗長判定回路  
 s10～s1(n-1)…選択線  
 s1j0、s1j1…冗長選択線  
 c10～c163…選択線  
 c1j0、c1j1…冗長選択線

【書類名】 図面

【図 1】

図 1

本発明の原理構成を示すブロック図



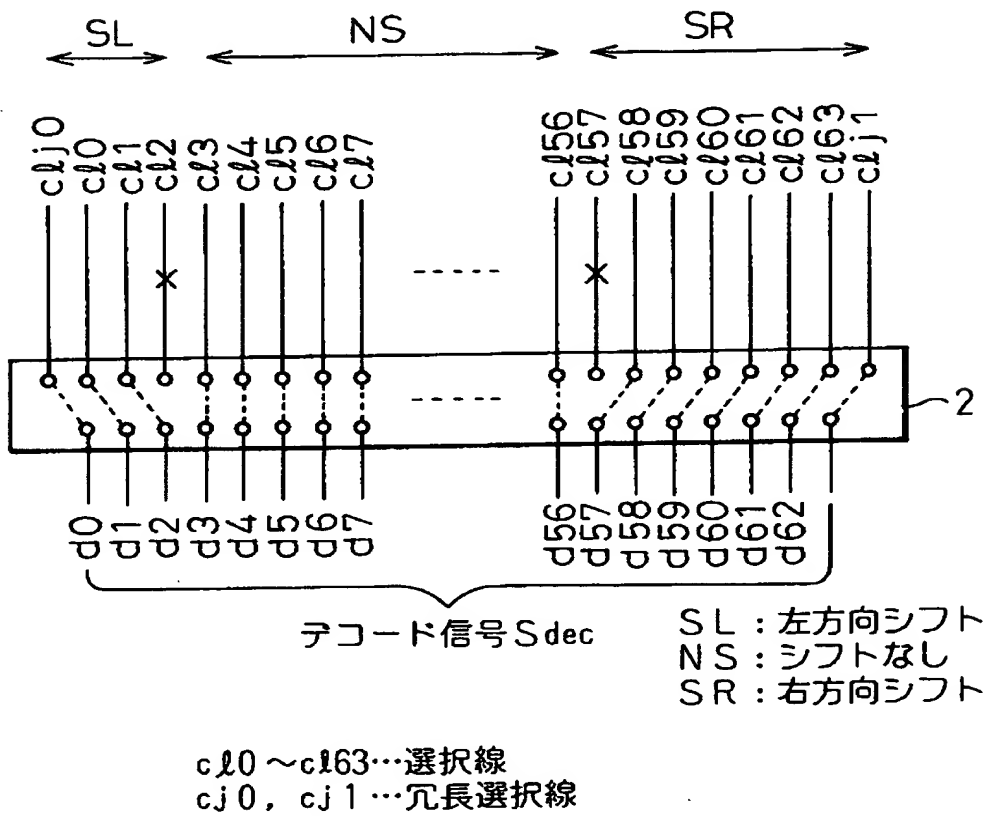
\* 注)  
例えば、選択線  $SL\ 2$  および  $SL\ (n-3)$   
に欠陥が生じたものとする

1...シフト冗長回路  
2...スイッチ部  
 $sl0 \sim sl\ (n-1)$ ...選択線  
 $slj0, slj1$ ...冗長選択線

【図 2】

図 2

本発明の基本原理を説明するための模式図

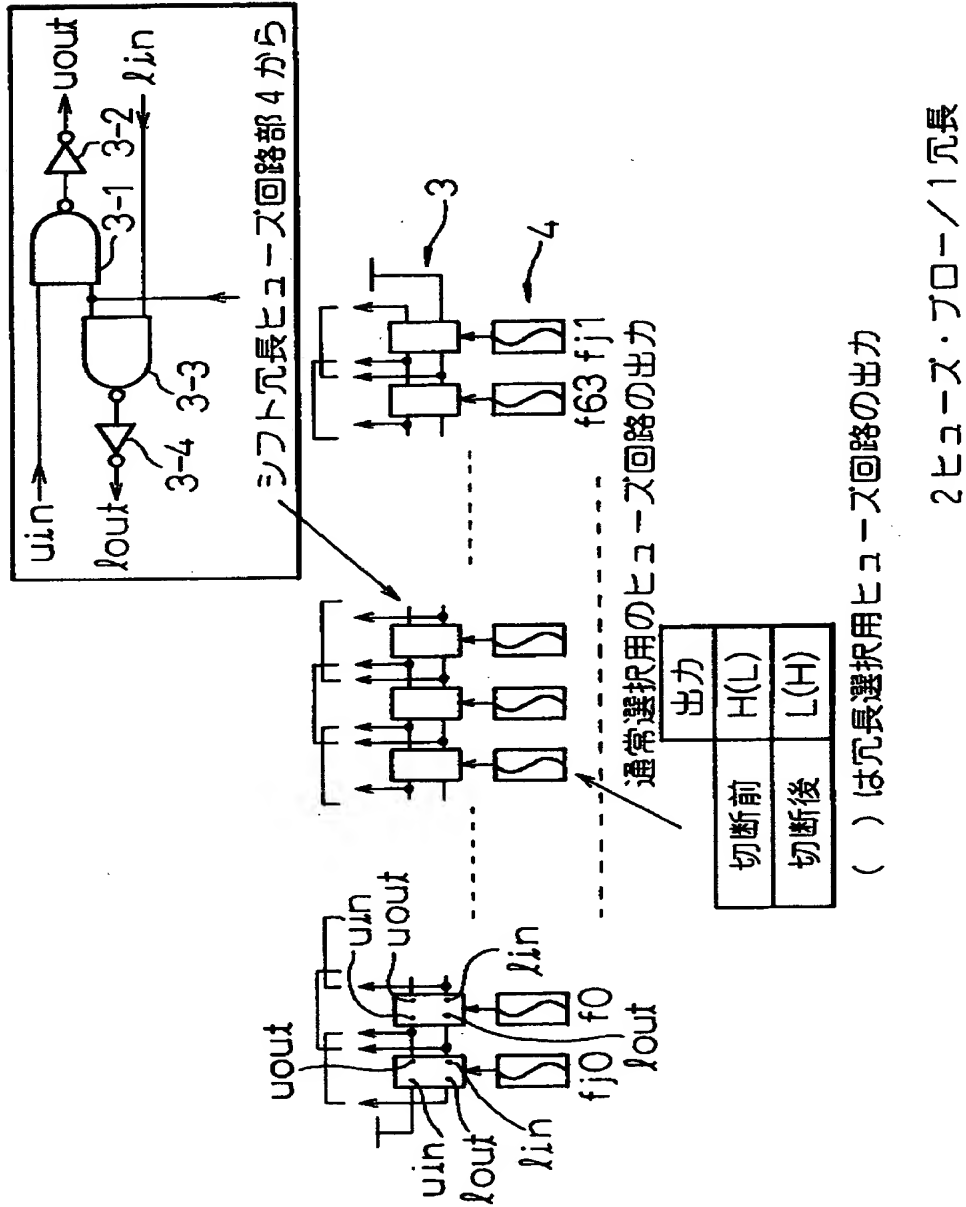




【図 3】

図 3

本発明のシフト冗長回路の基本概念を示すブロック図



【図4】

図4 図3の各部の信号レベルを示す図

(a) デフォルト

シフト	NS											
uout	L	L	L	L	-----	L	L	L	L			
lout	L	L	L	L	-----	L	L	L	L			
シフト冗長ヒューズ 回路部の出力	L	H	H	H	-----	H	H	H	L			
	↑	↑	↑	↑		↑	↑	↑	↑			
	fj0	f0	f1	f2		f61	f62	fj1	f63			

(b) 1シフト冗長（選択線）

シフト	SL	非選択	NS									
uout	H	H	L	L	-----	L	L	L	L			
lout	L	L	L	L	-----	L	L	L	L			
シフト冗長ヒューズ 回路部の出力	H	H	L	H	-----	H	H	H	L			
	↑	↑	↑	↑		↑	↑	↑	↑			
	fj0	f0	f1	f2		f61	f62	fj1	f63			

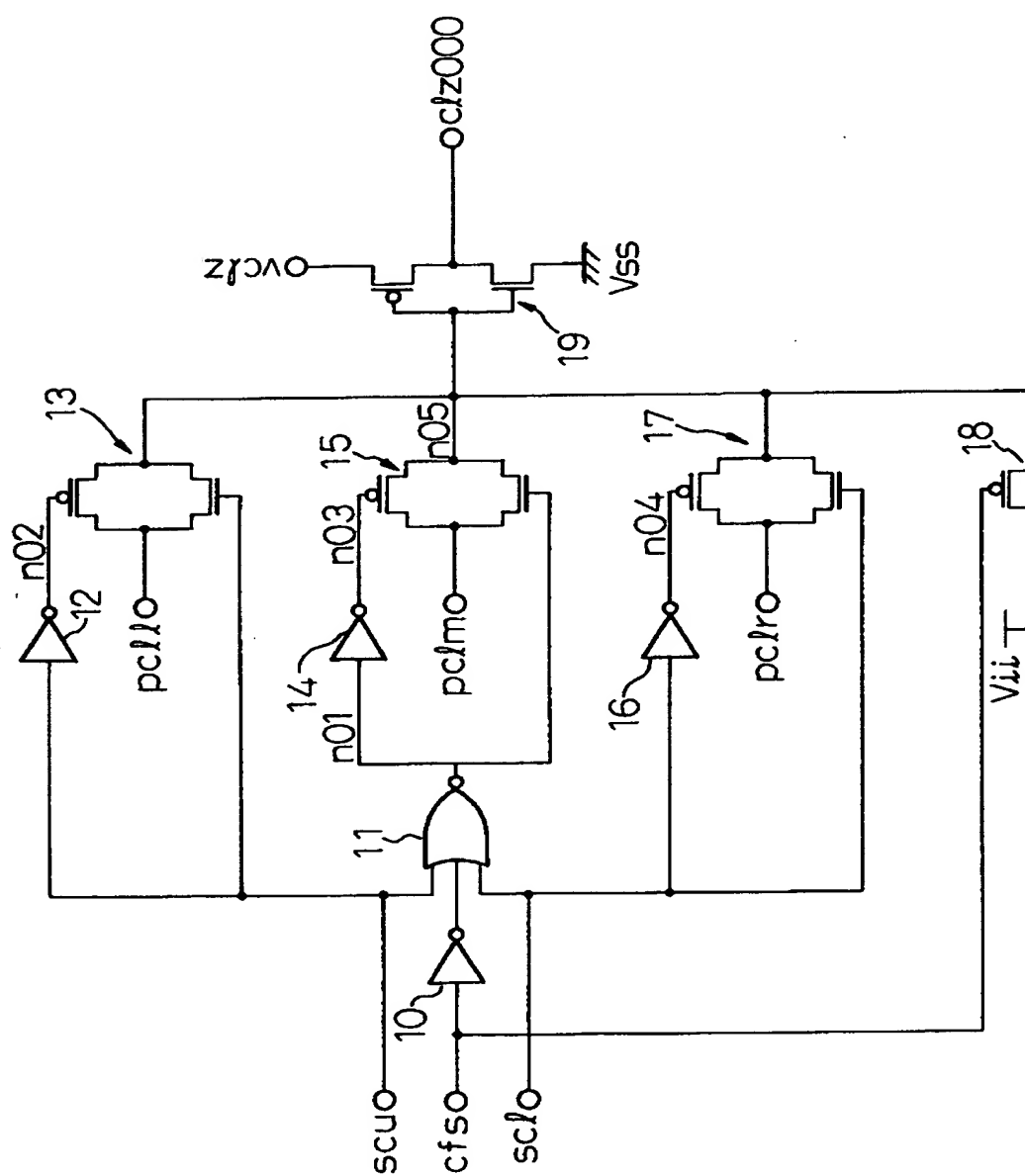
(c) 2シフト冗長（選択線）

シフト	SL	非選択	NS				非選択	SR			
uout	H	H	L	L	-----	L	L	L	L		
lout	L	L	L	L	-----	L	H	H	H		
シフト冗長ヒューズ 回路部の出力	H	H	L	H	-----	L	H	H	H		
	↑	↑	↑	↑		↑	↑	↑	↑		
	fj0	f0	f1	f2		f61	f62	fj1	f63		

【図 5】

**图 5**

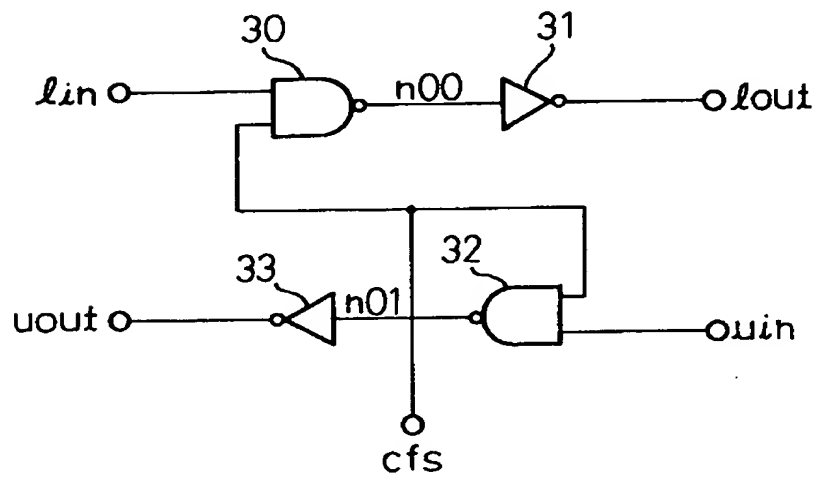
本発明の第 1 の実施例における選択線駆動回路の構成を示す回路図



【図 6】

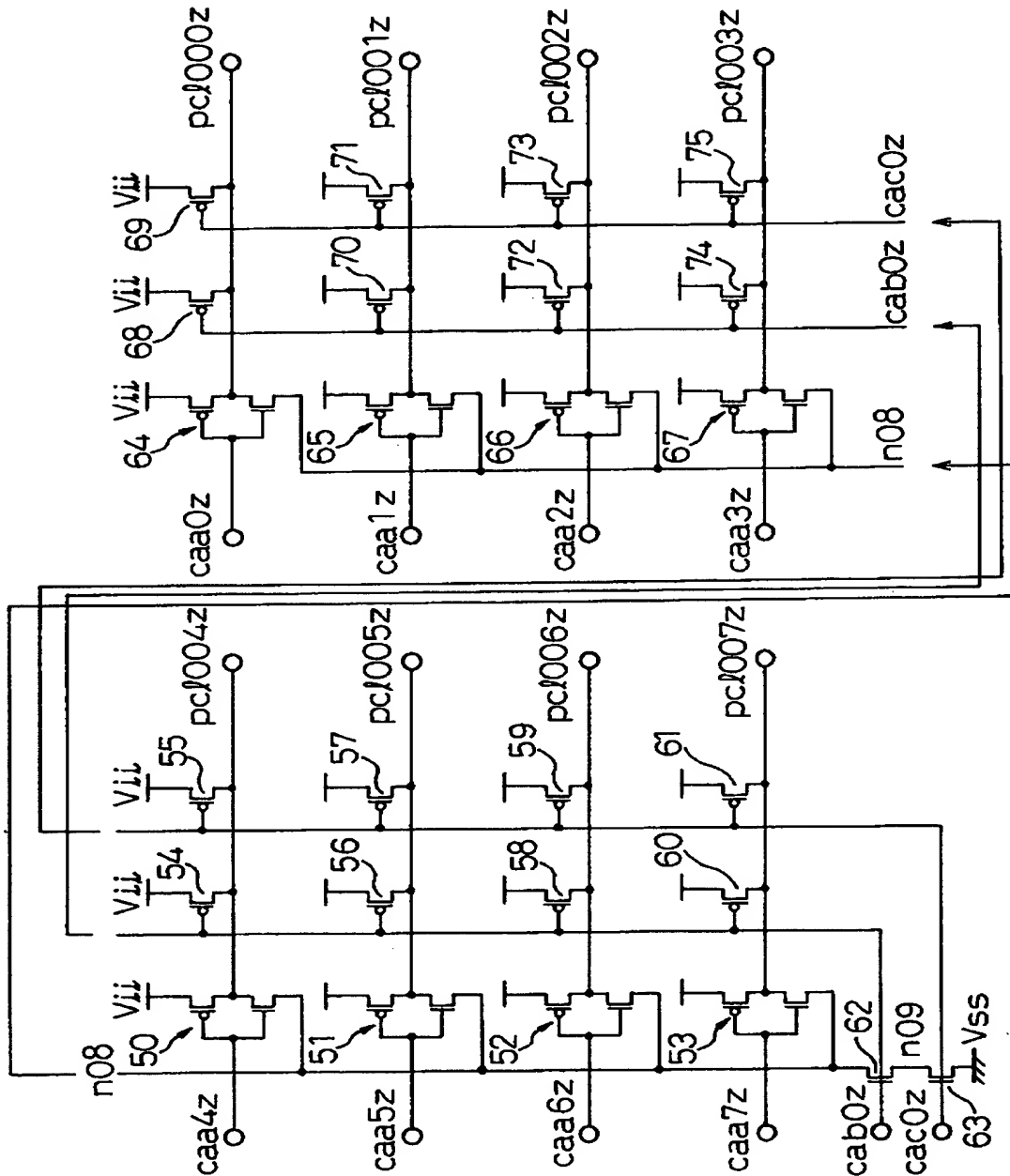
図 6

本発明の第 1 の実施例におけるシフト制御回路の構成を示す回路図



【図 7】

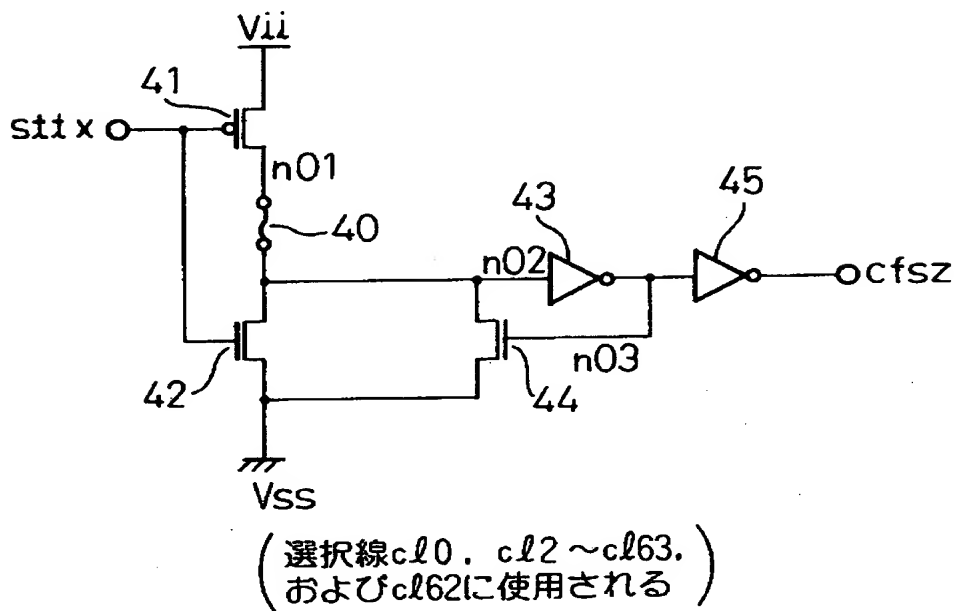
図 7 本発明の第 1 の実施例におけるデコーダ回路の構成を示す回路図



【図 8】

図 8

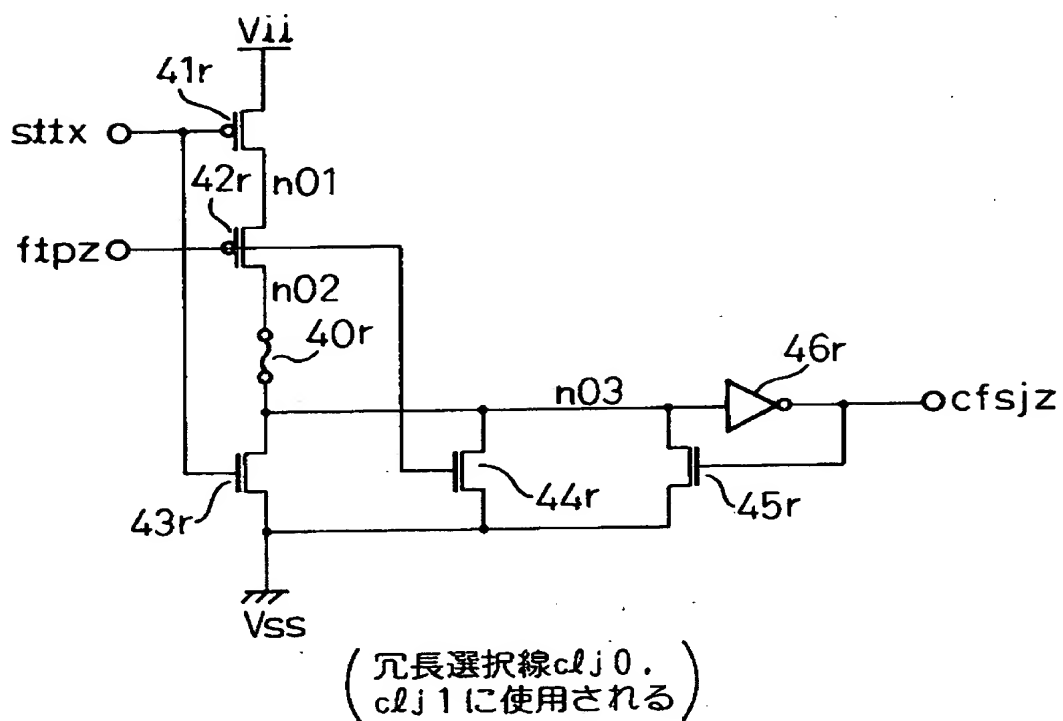
本発明の第 1 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 9】

図 9

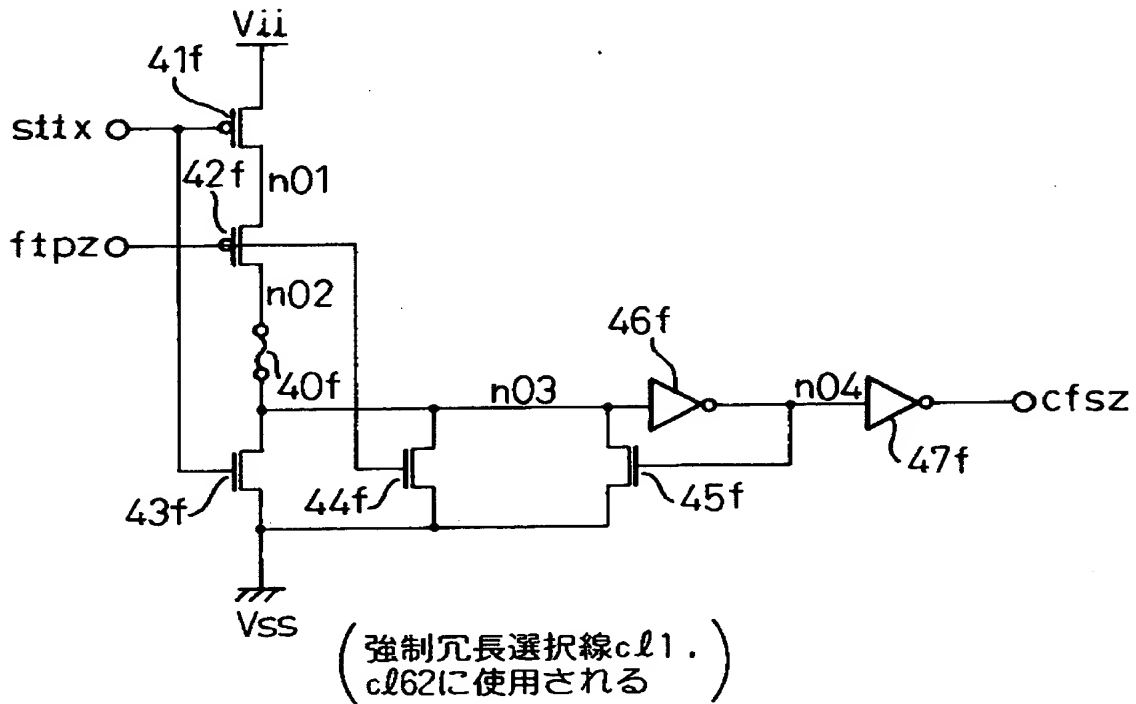
本発明の第 1 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 10】

図 10

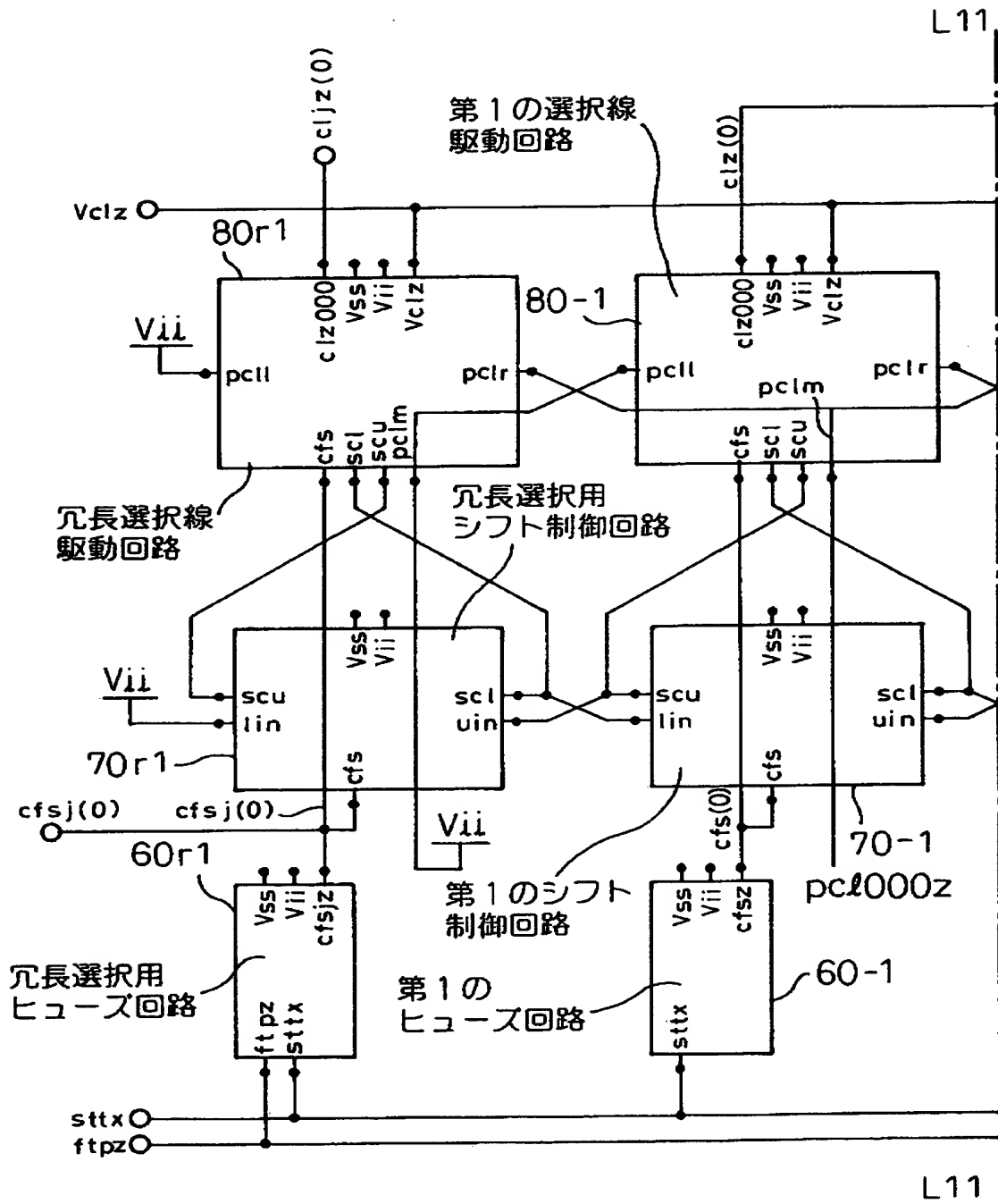
本発明の第 1 の実施例における強制冗長用ヒューズ回路の構成を示す回路図





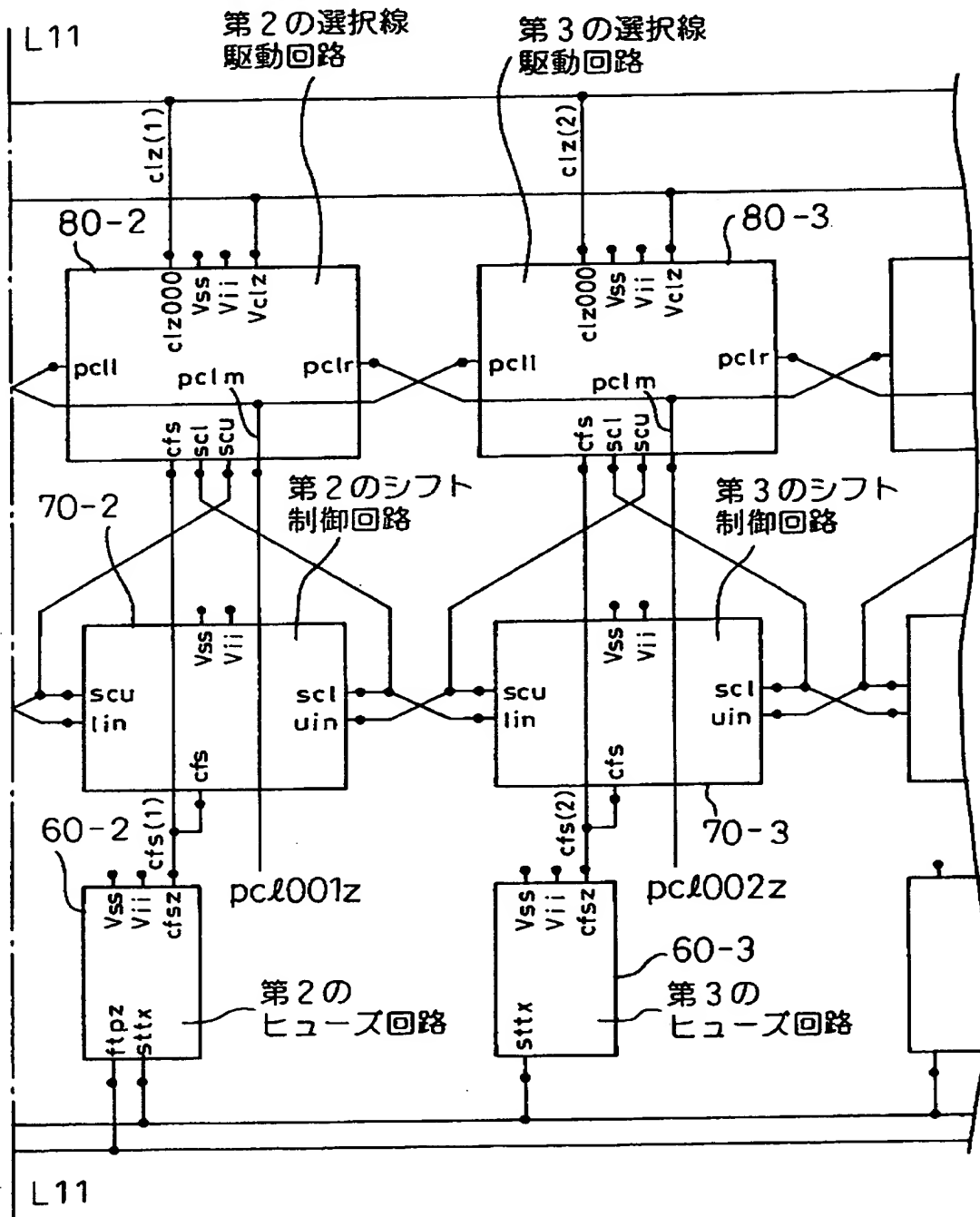
【図 11】

図 11 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 1）



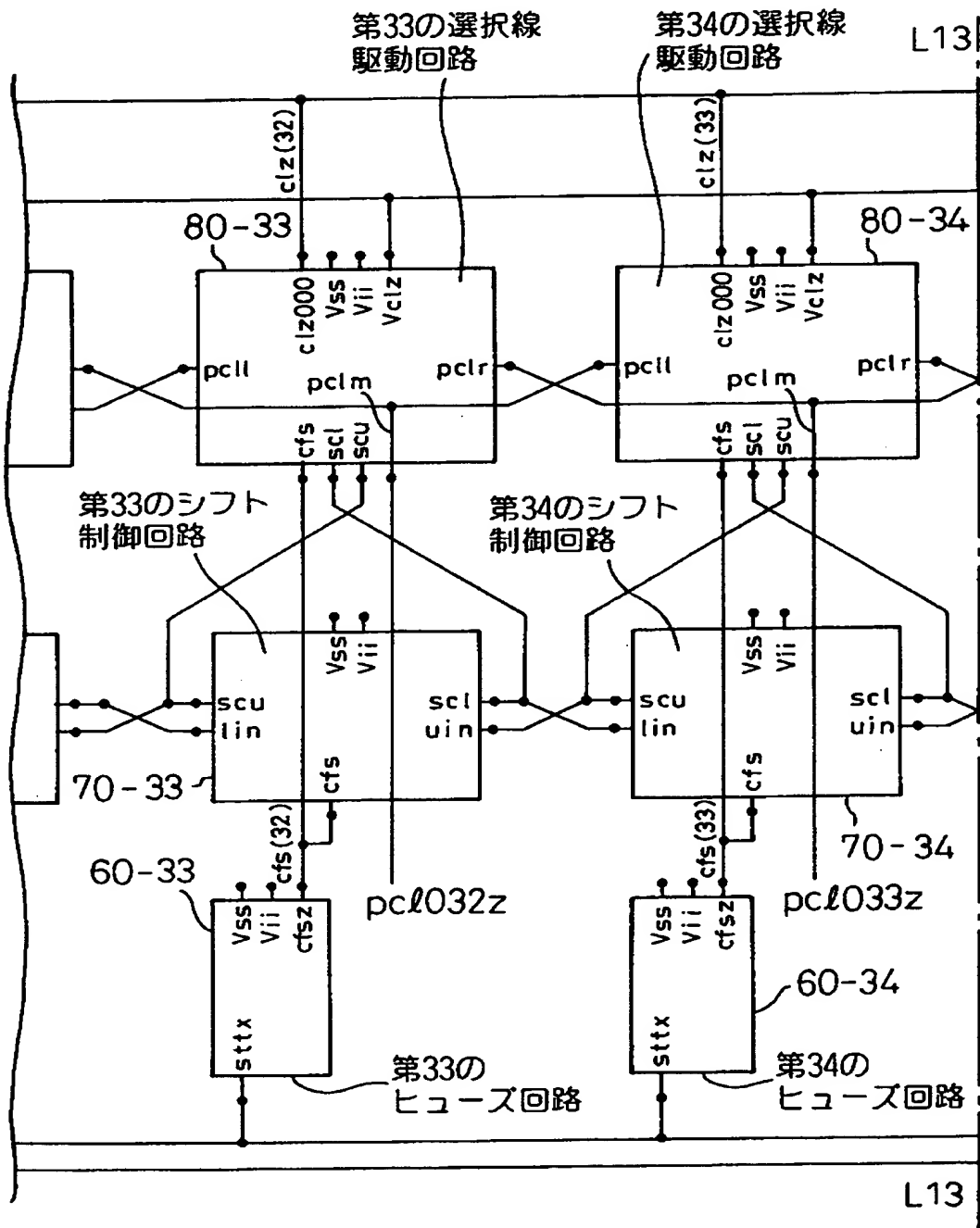
【図 12】

図 12 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 2）



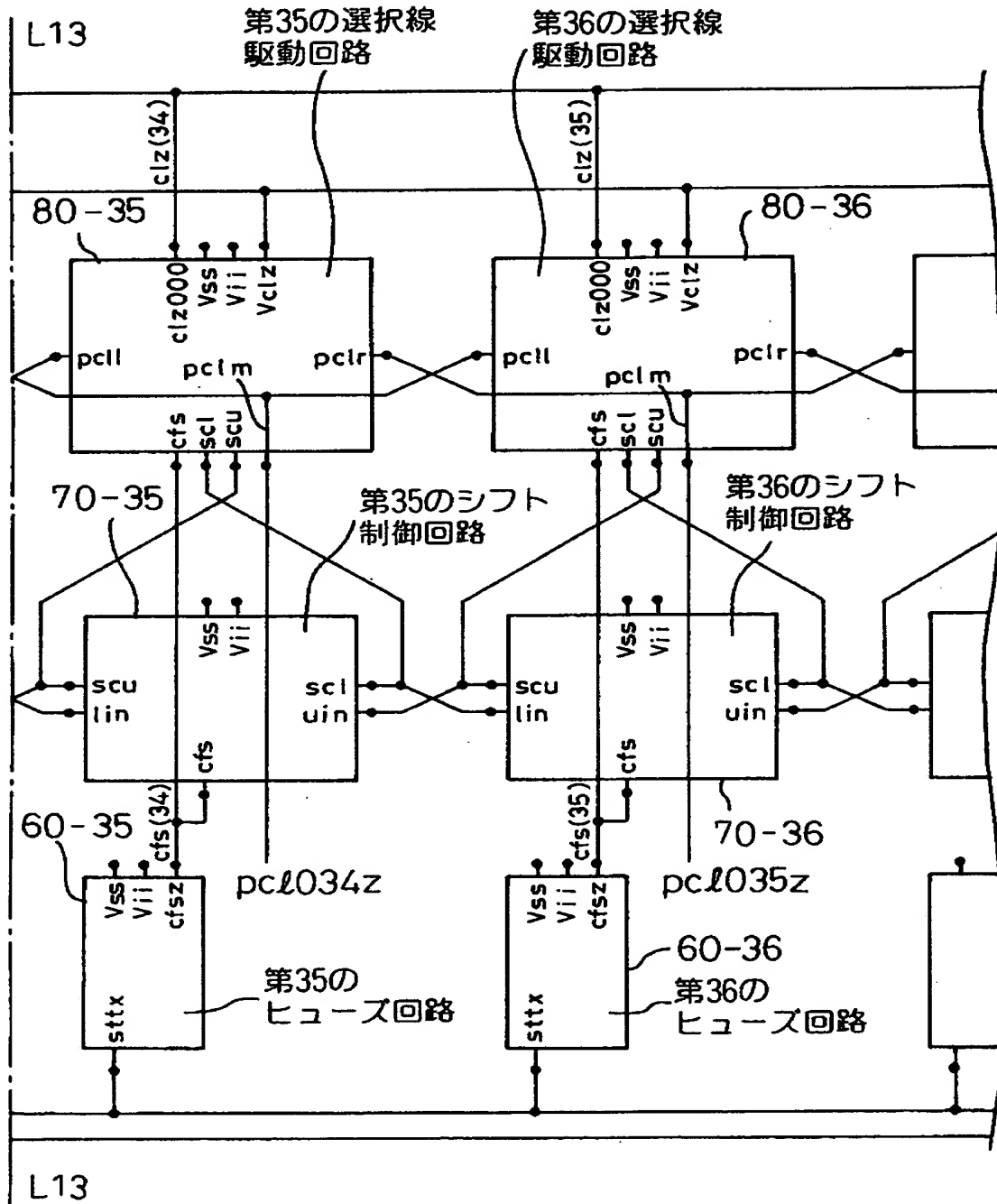
【図13】

図13 本発明の第1の実施例における各回路間のつながりを示す回路図（その3）



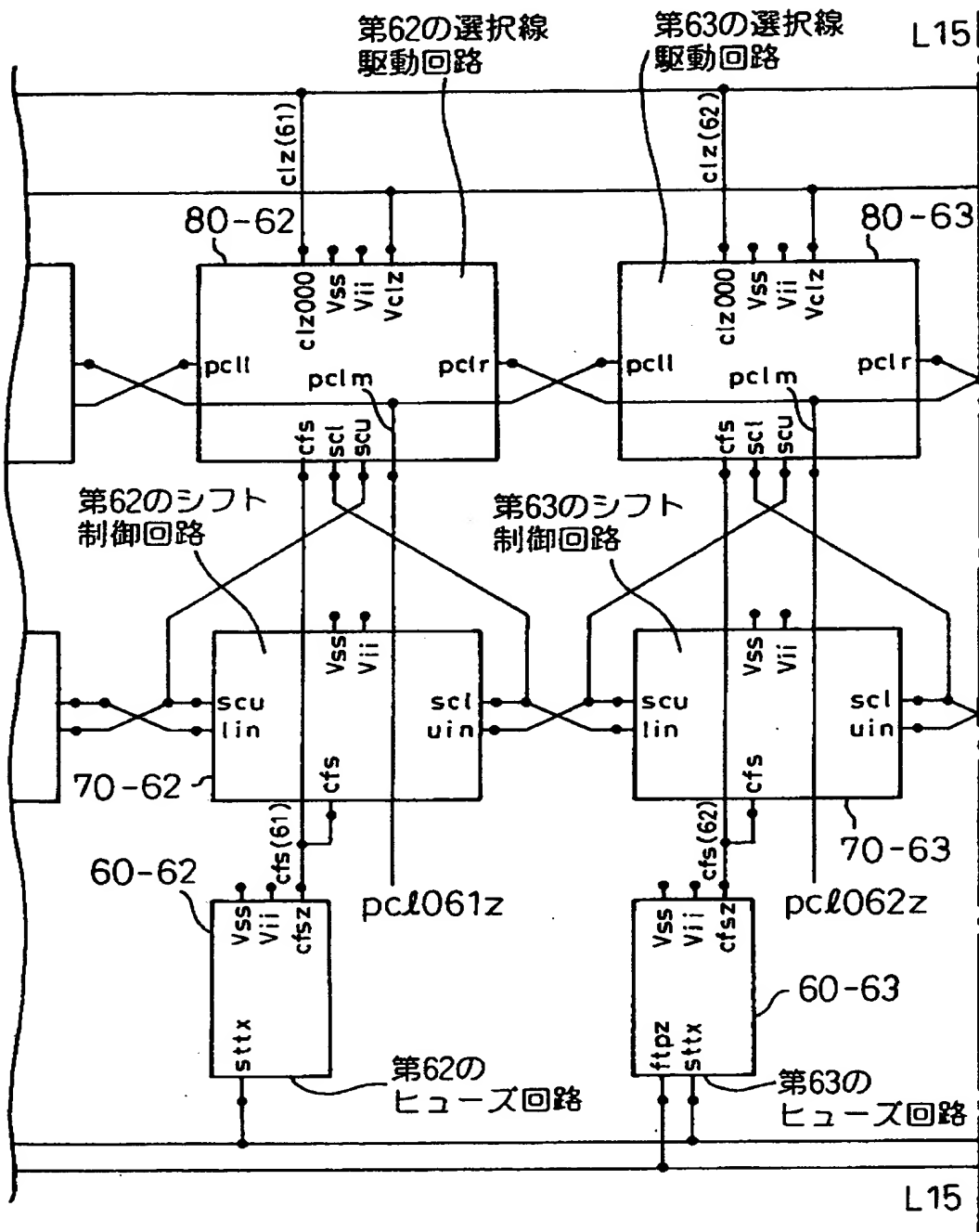
【図 14】

図 14 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 4）



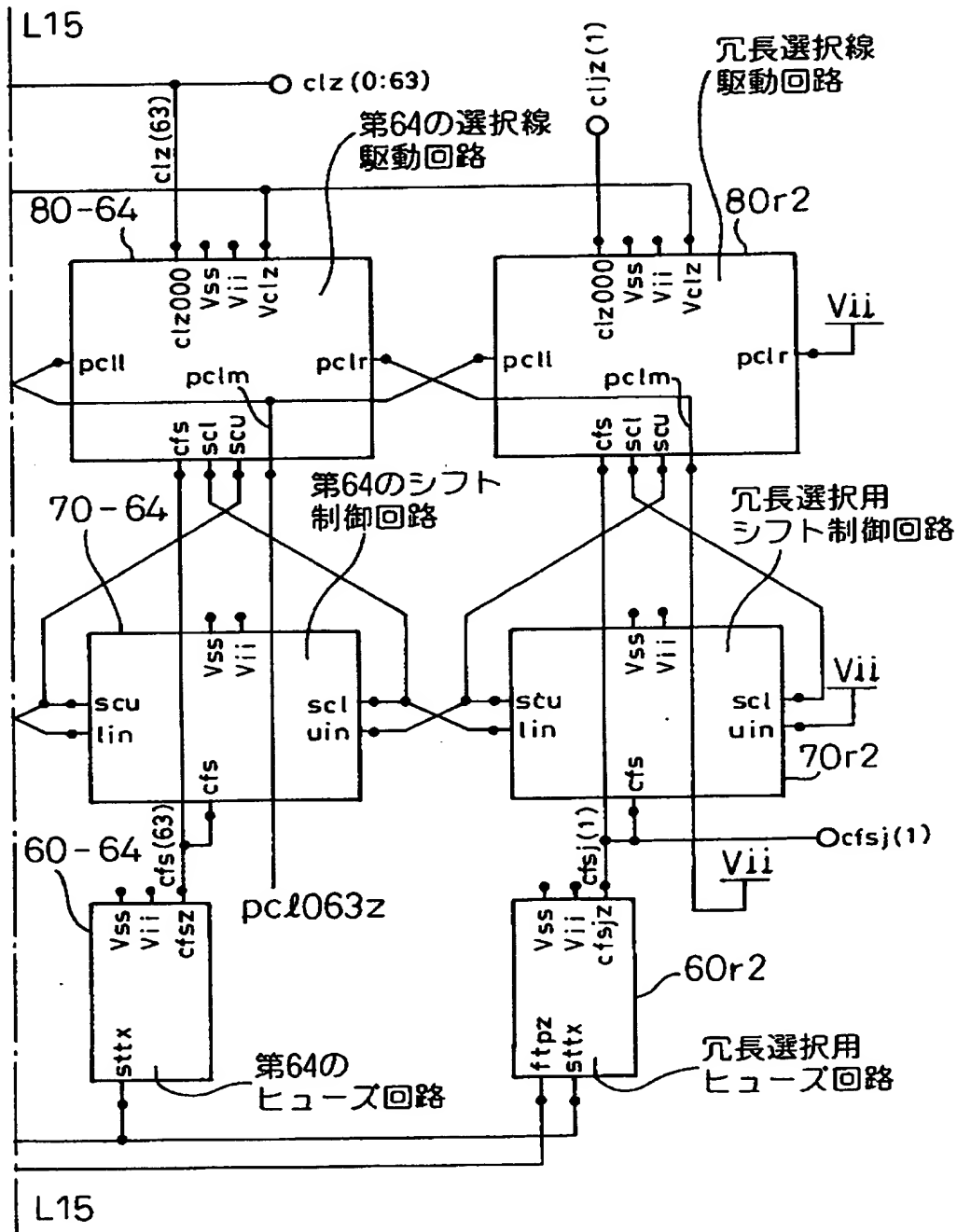
【図15】

図15 本発明の第1の実施例における各回路間のつながりを示す回路図(その5)



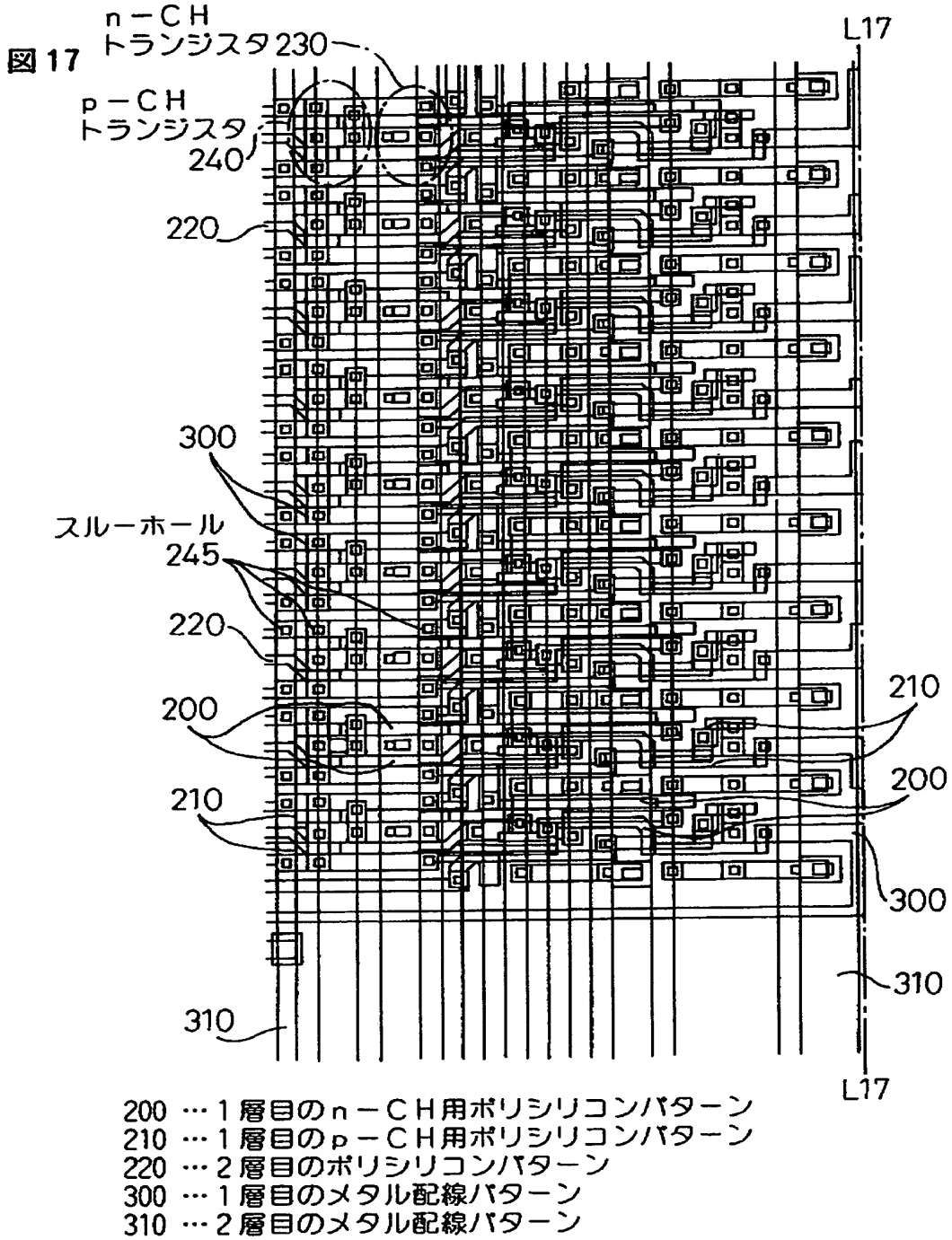
【図 16】

図 16 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 6）



【図 17】

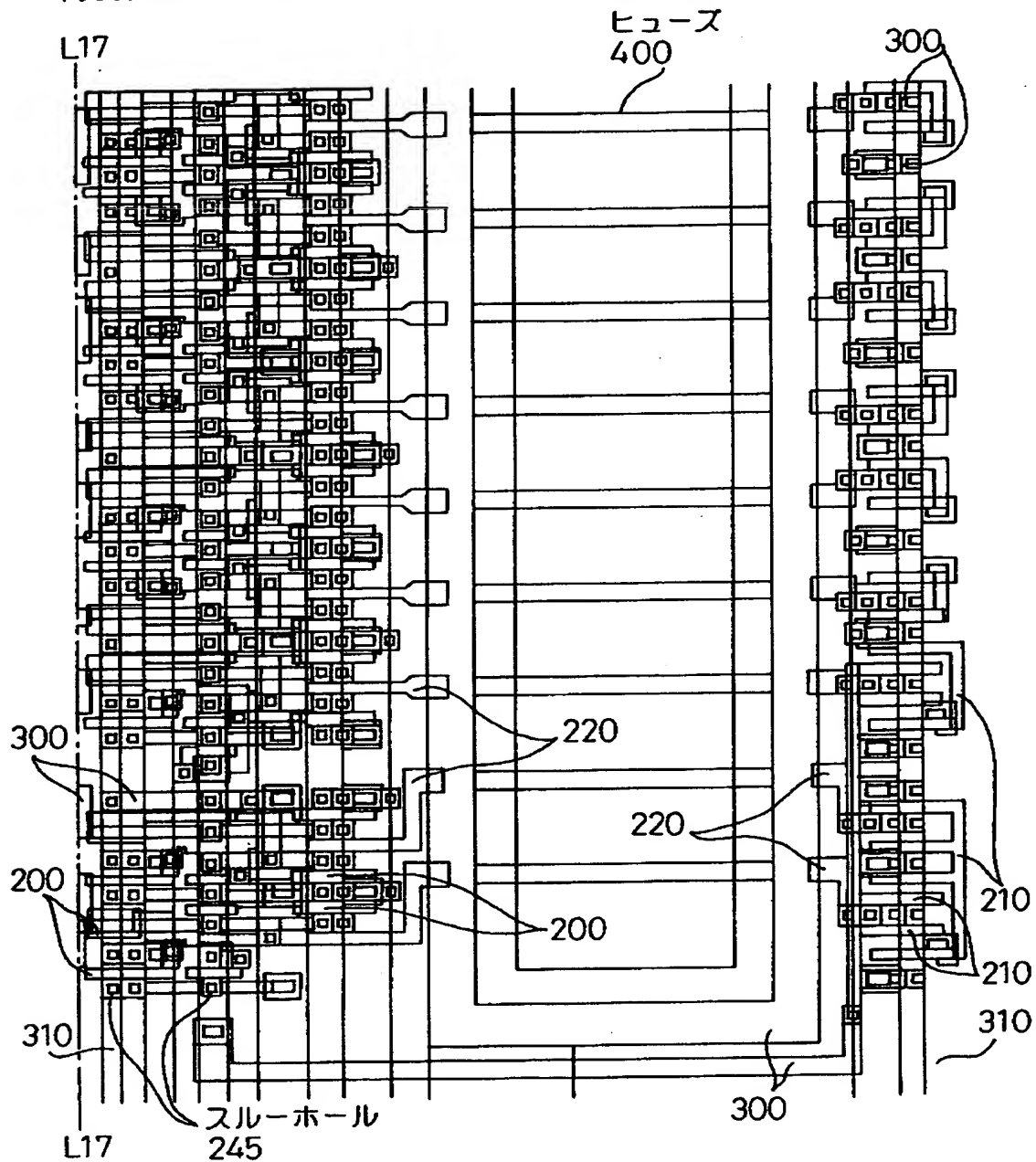
本発明の第 1 の実施例におけるシフト制御回路の回路レイアウトを示す図



【図 18】

図 18

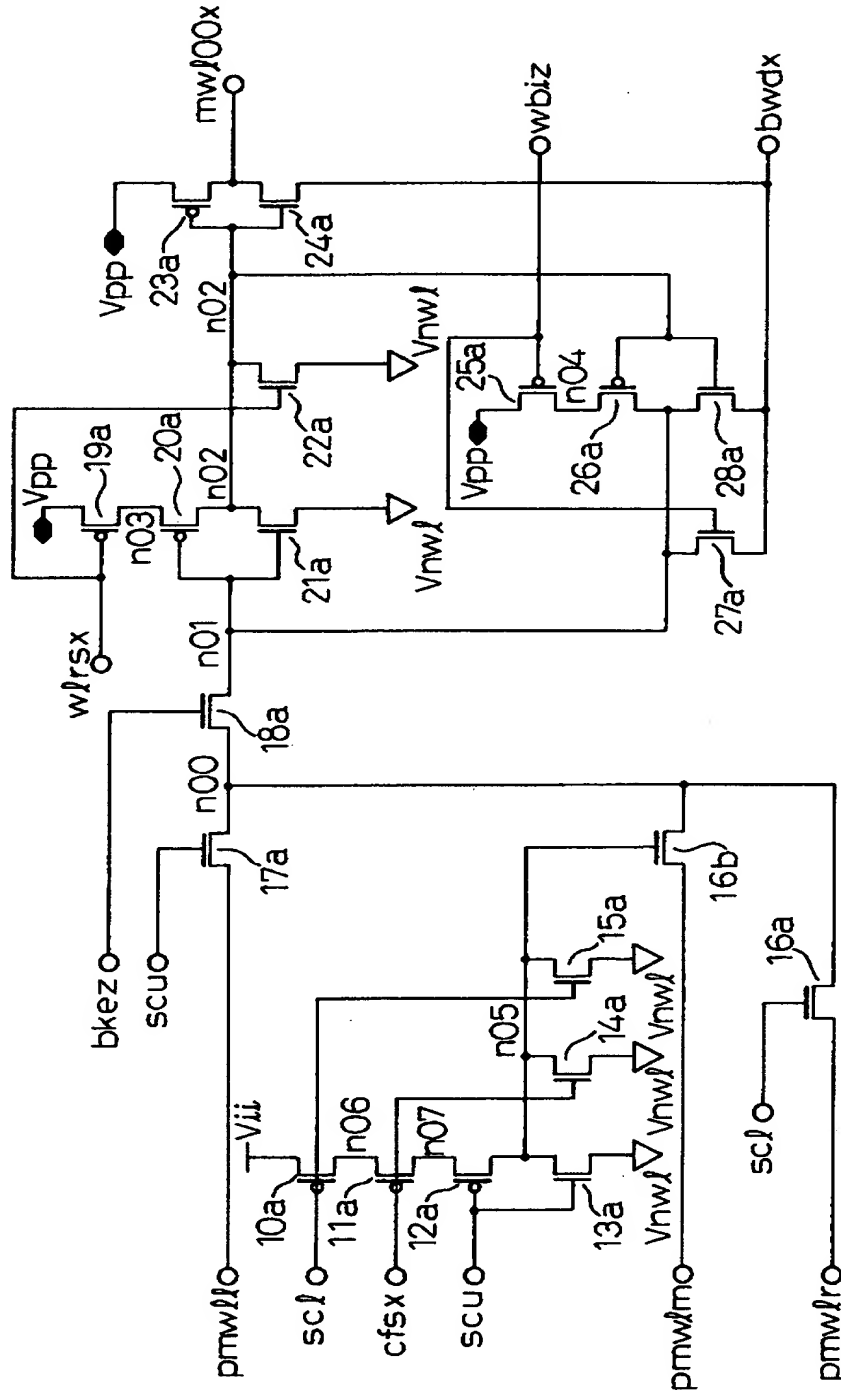
本発明の第 1 の実施例におけるヒューズ回路の回路レイアウトを示す図





【図 19】

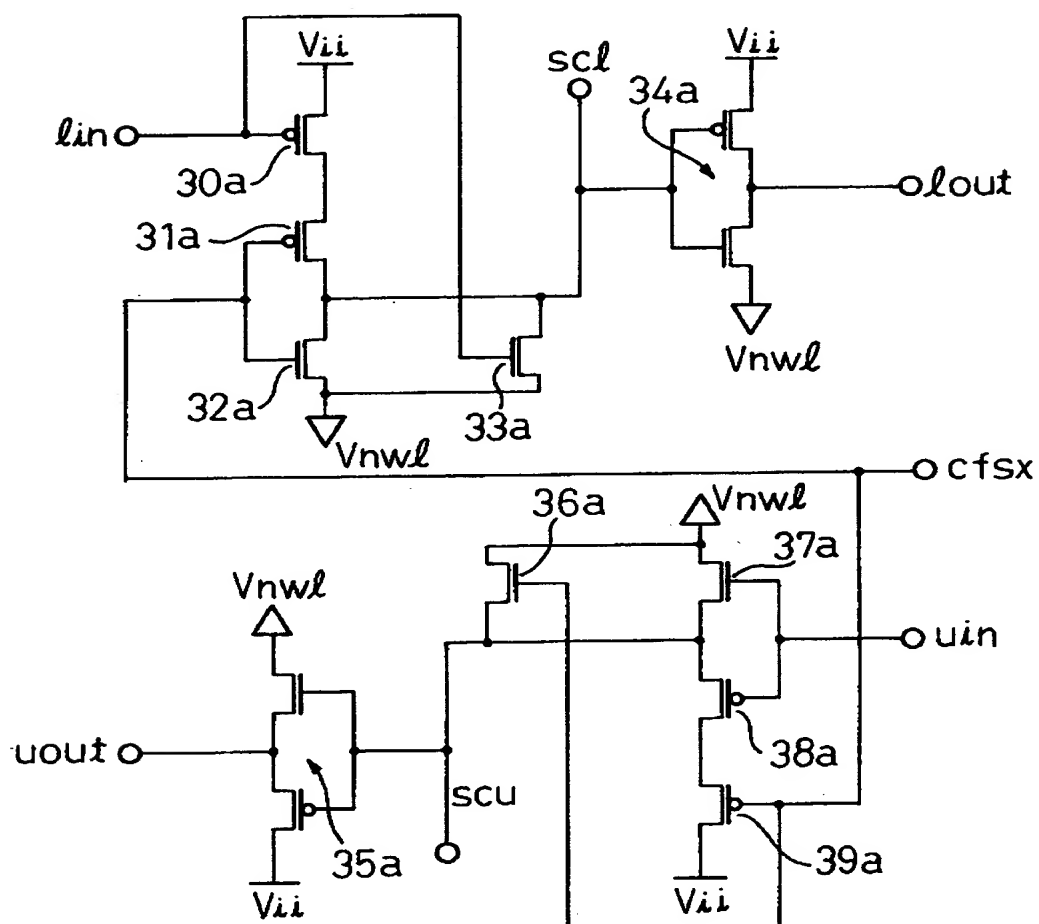
図 19 本発明の第 2 の実施例における選択線駆動回路の構成を示す回路図



【図 20】

**图 20**

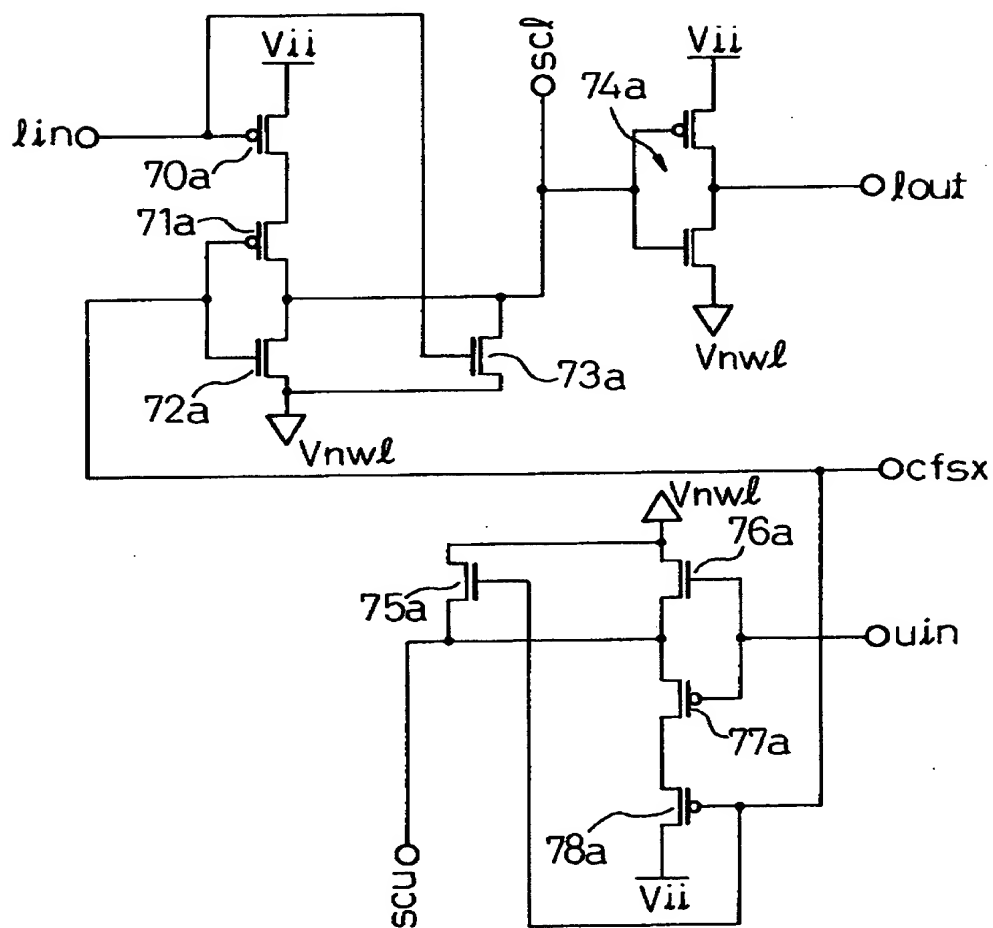
本発明の第 2 の実施例における通常選択用のシフト制御回路の構成を示す回路図



【図 21】

図 21

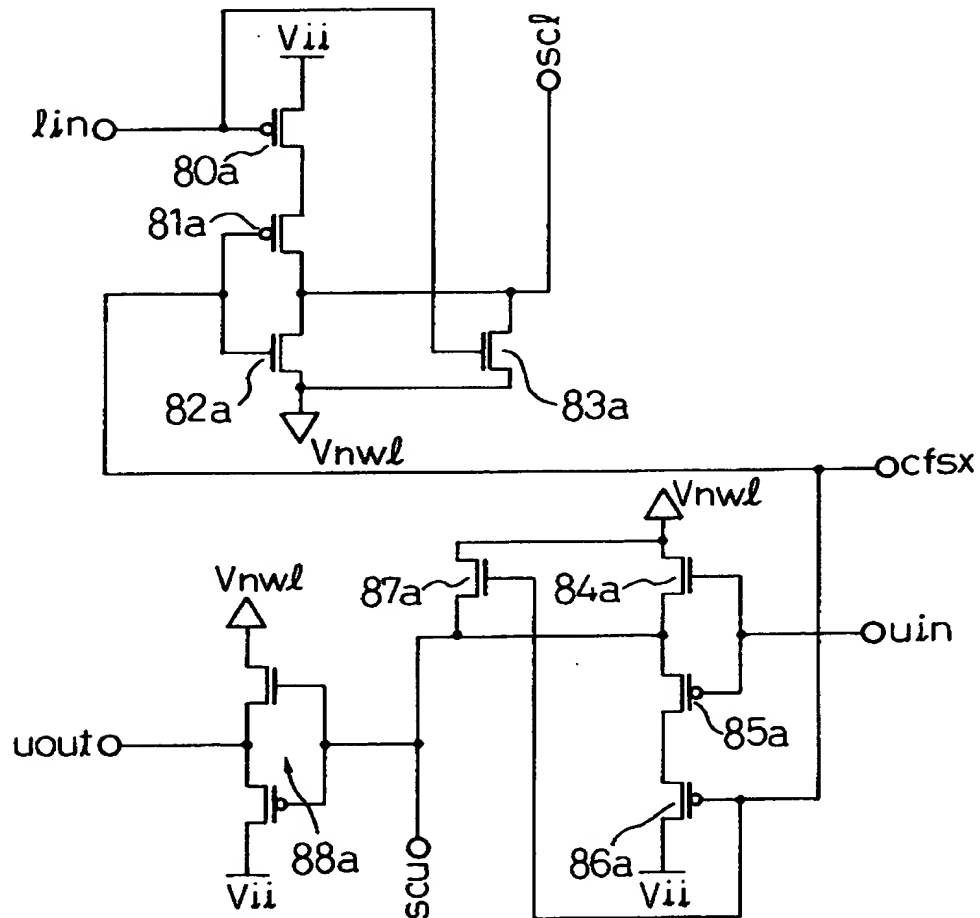
本発明の第 2 の実施例における左端用冗長シフト  
制御回路の構成を示す回路図



【図 22】

図 22

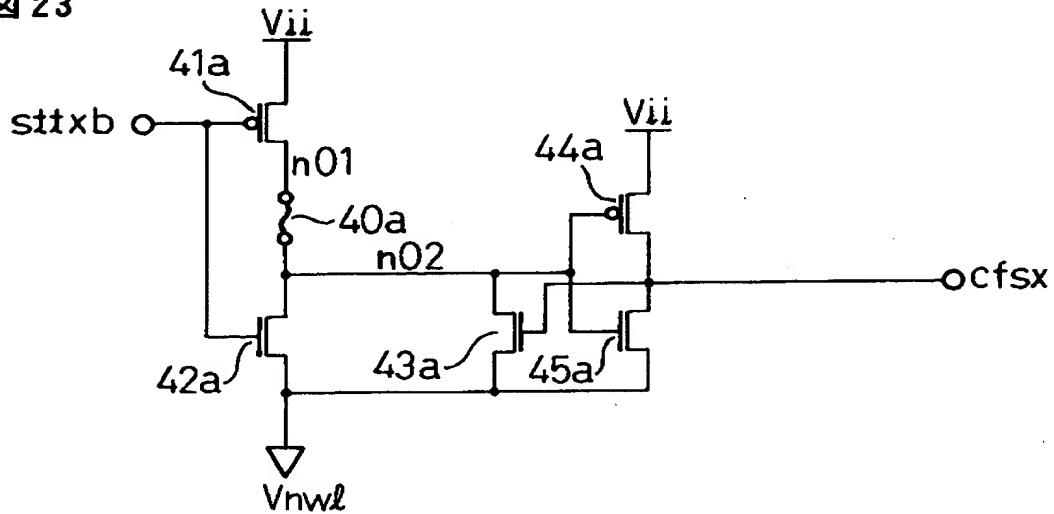
本発明の第 2 の実施例における右端用冗長シフト  
制御回路の構成を示す回路図



【図 23】

本発明の第 2 の実施例における通常選択用のヒューズ回路の構成を示す回路図

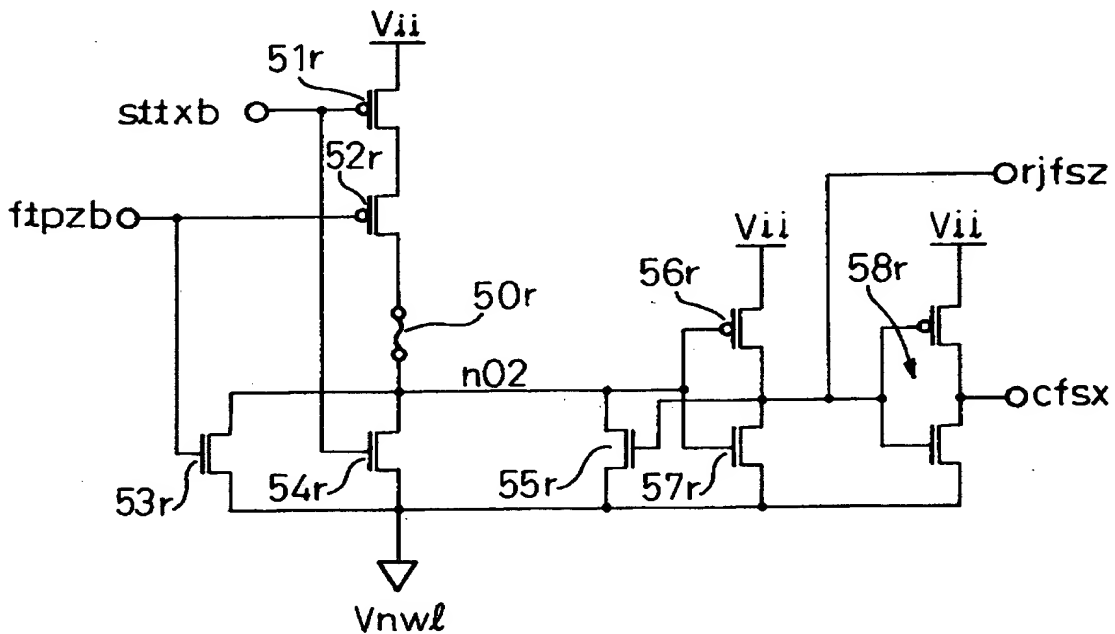
図 23



【図 24】

図 24

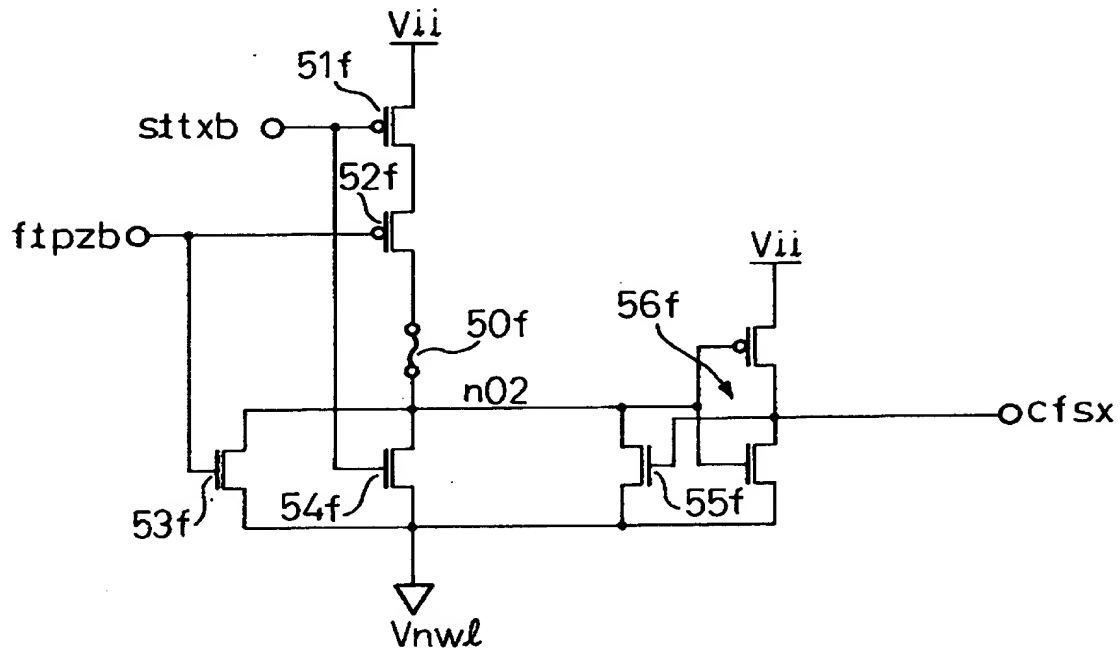
本発明の第 2 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 25】

図 25

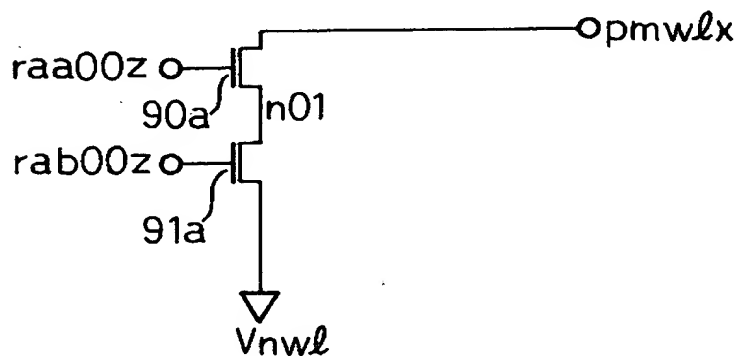
本発明の第 2 の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【図 26】

図 26

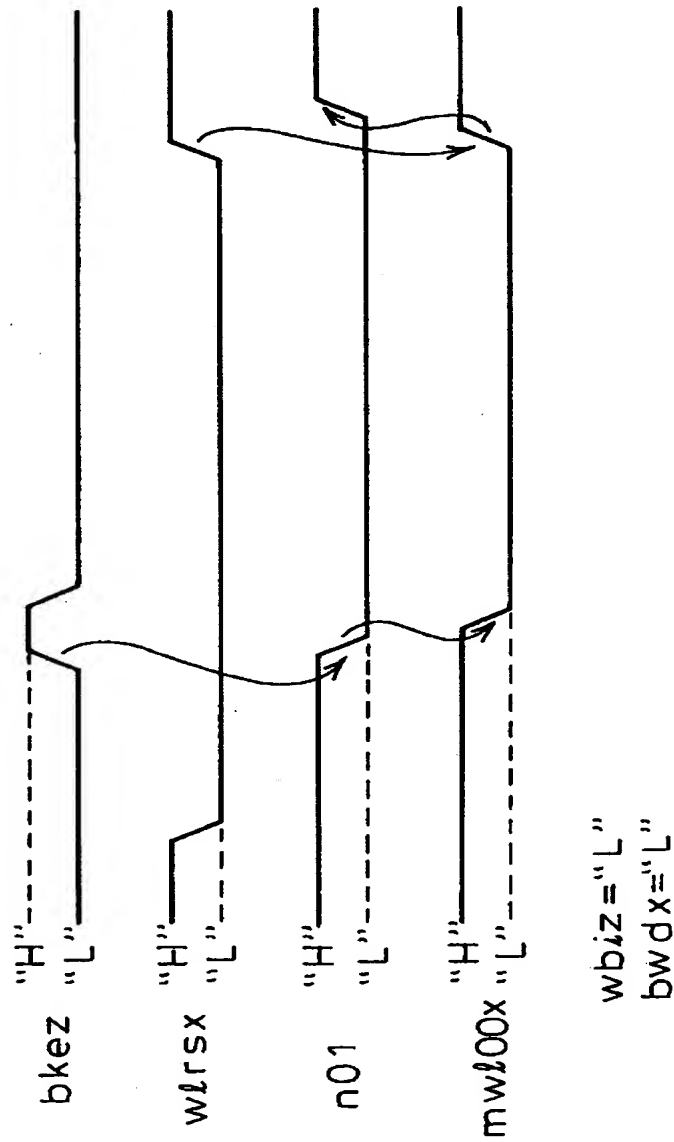
本発明の第 2 の実施例におけるデコーダ回路の構成を示す回路図



【図 27】

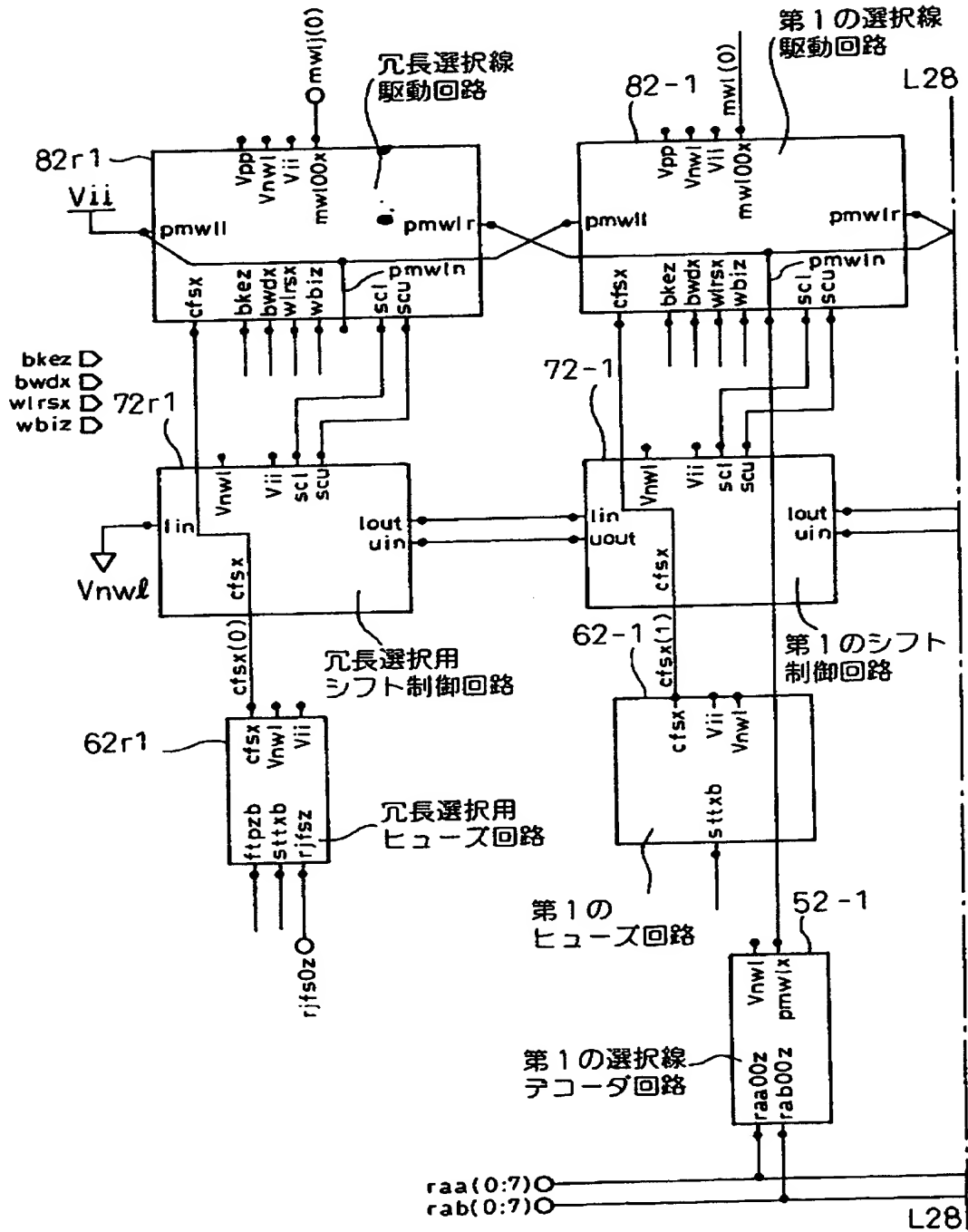
図 27

図19の選択線駆動回路の動作を説明するための  
タイミングチャート



【図 28】

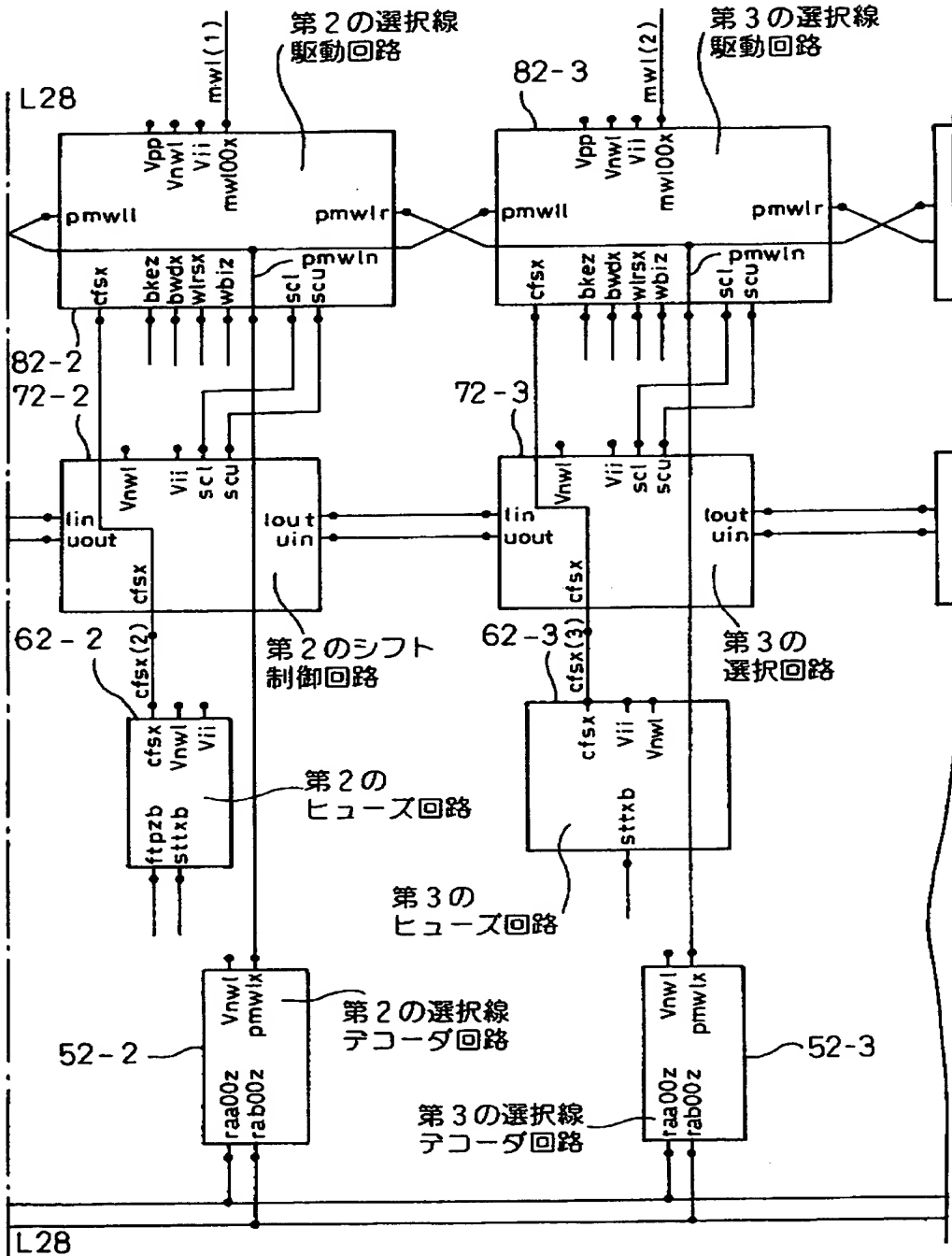
図 28 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 1)



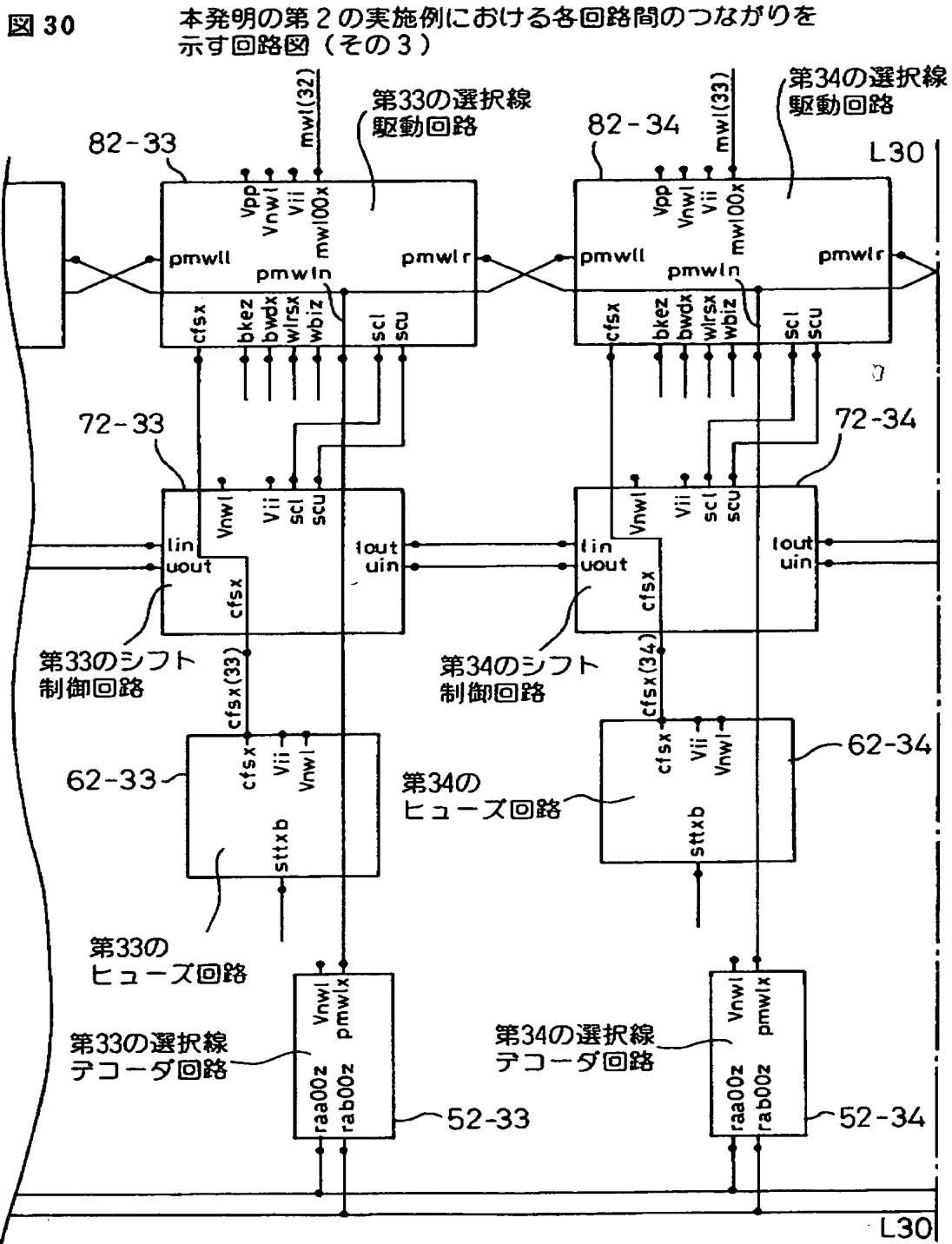


【図 29】

図 29 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 2)

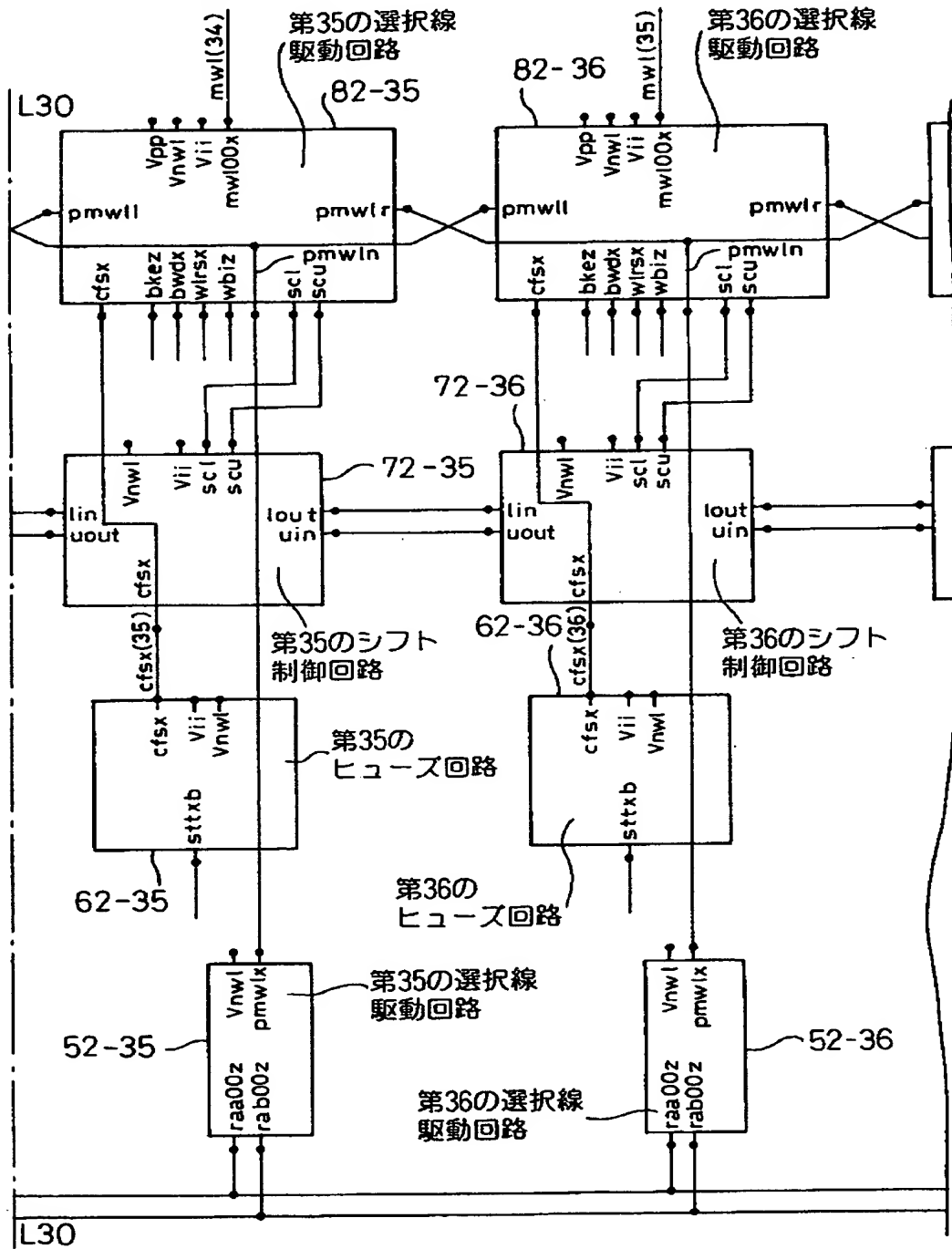


【図 30】



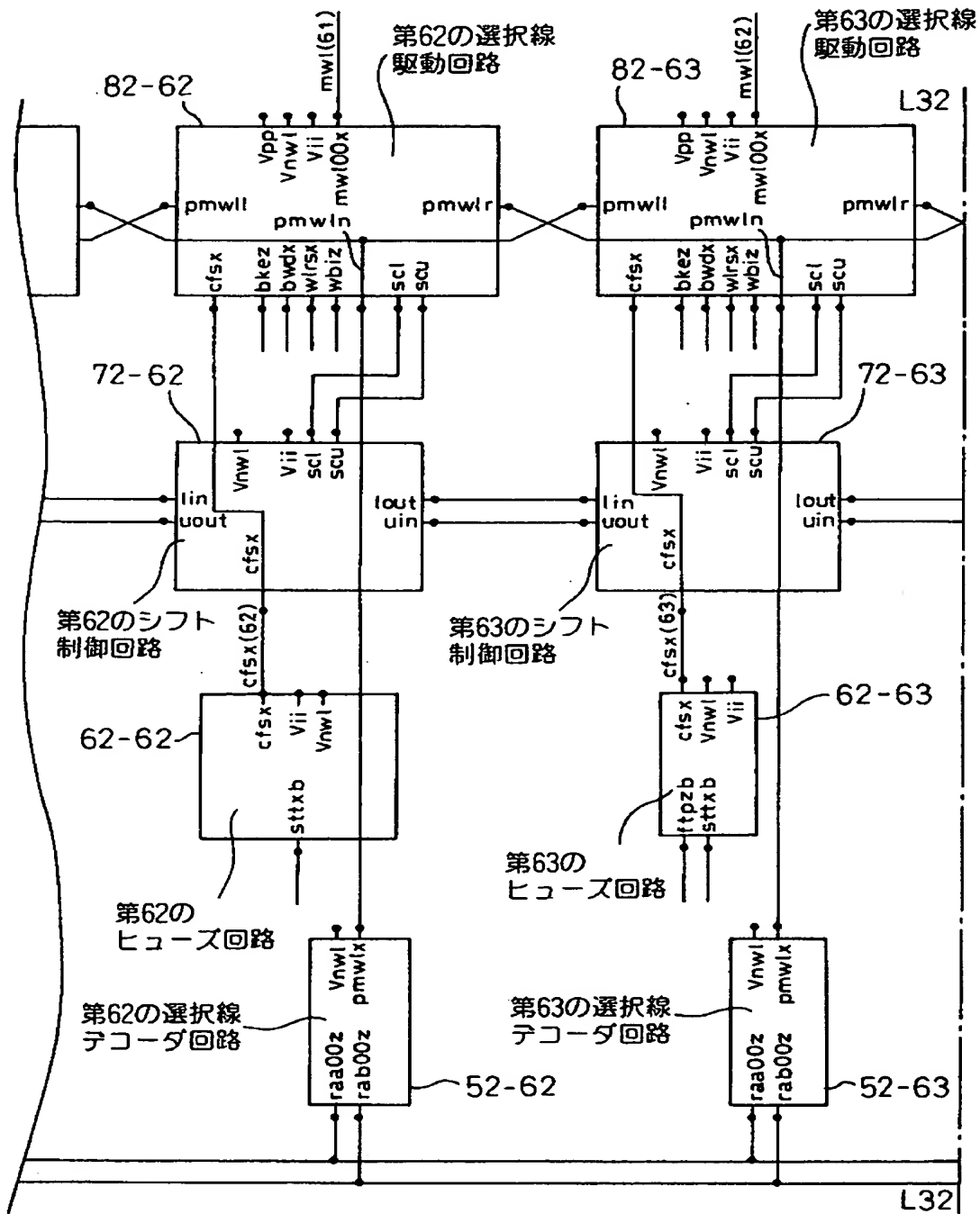
【図 31】

図 31 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 4)



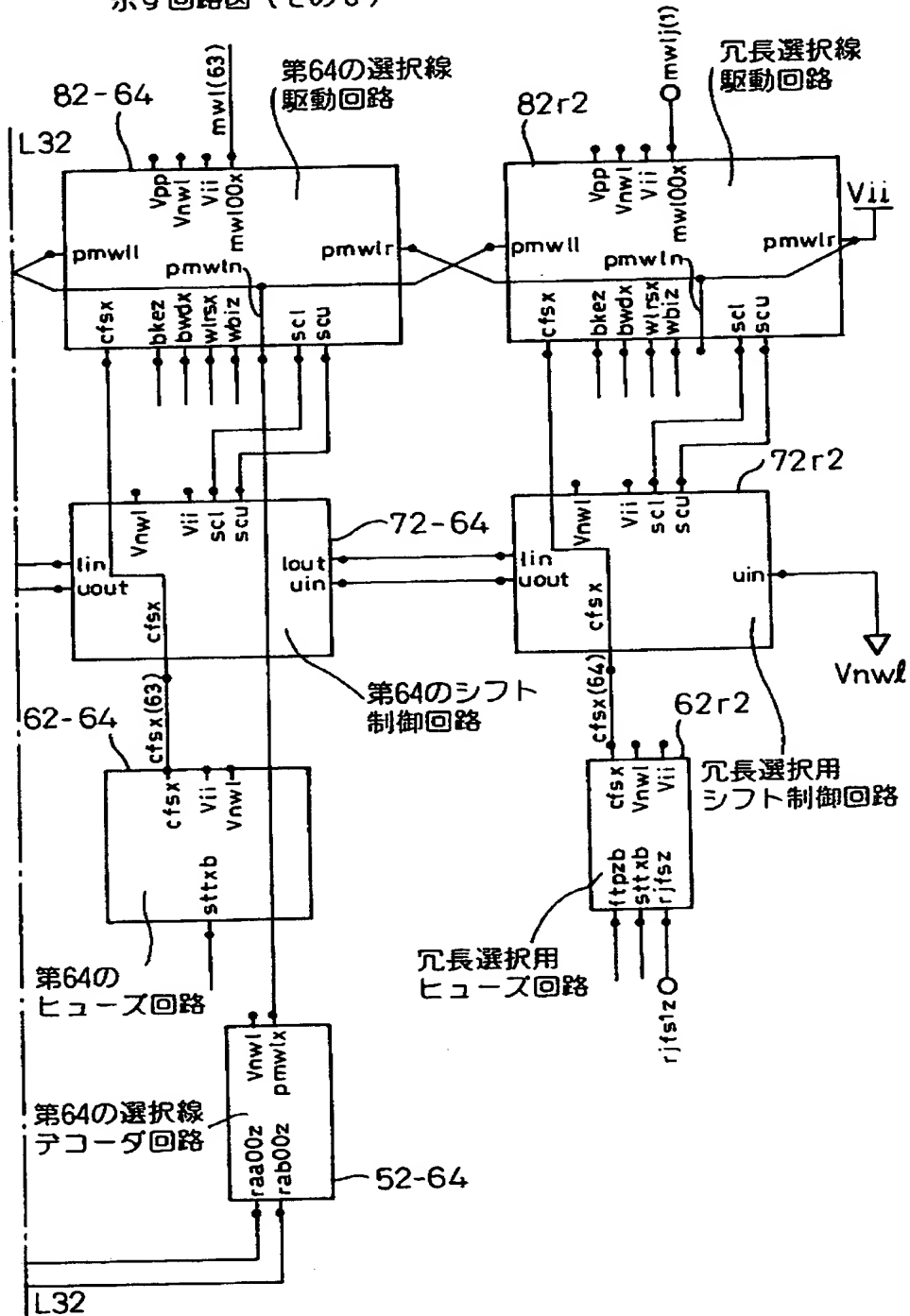
【図 32】

図 32 本発明の第2の実施例における各回路間のつながりを示す回路図（その5）



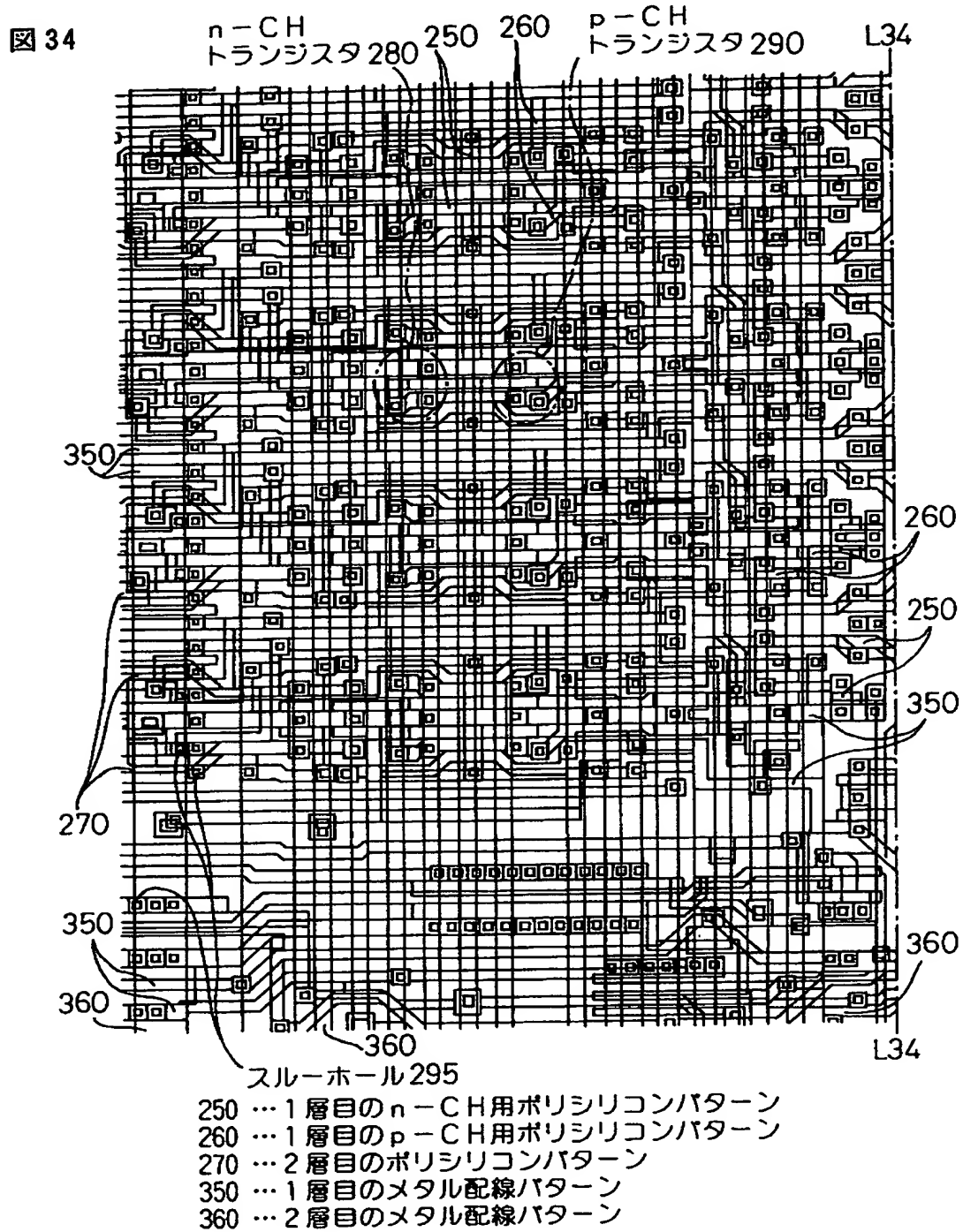
【図 33】

図 33 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 6)



【図 34】

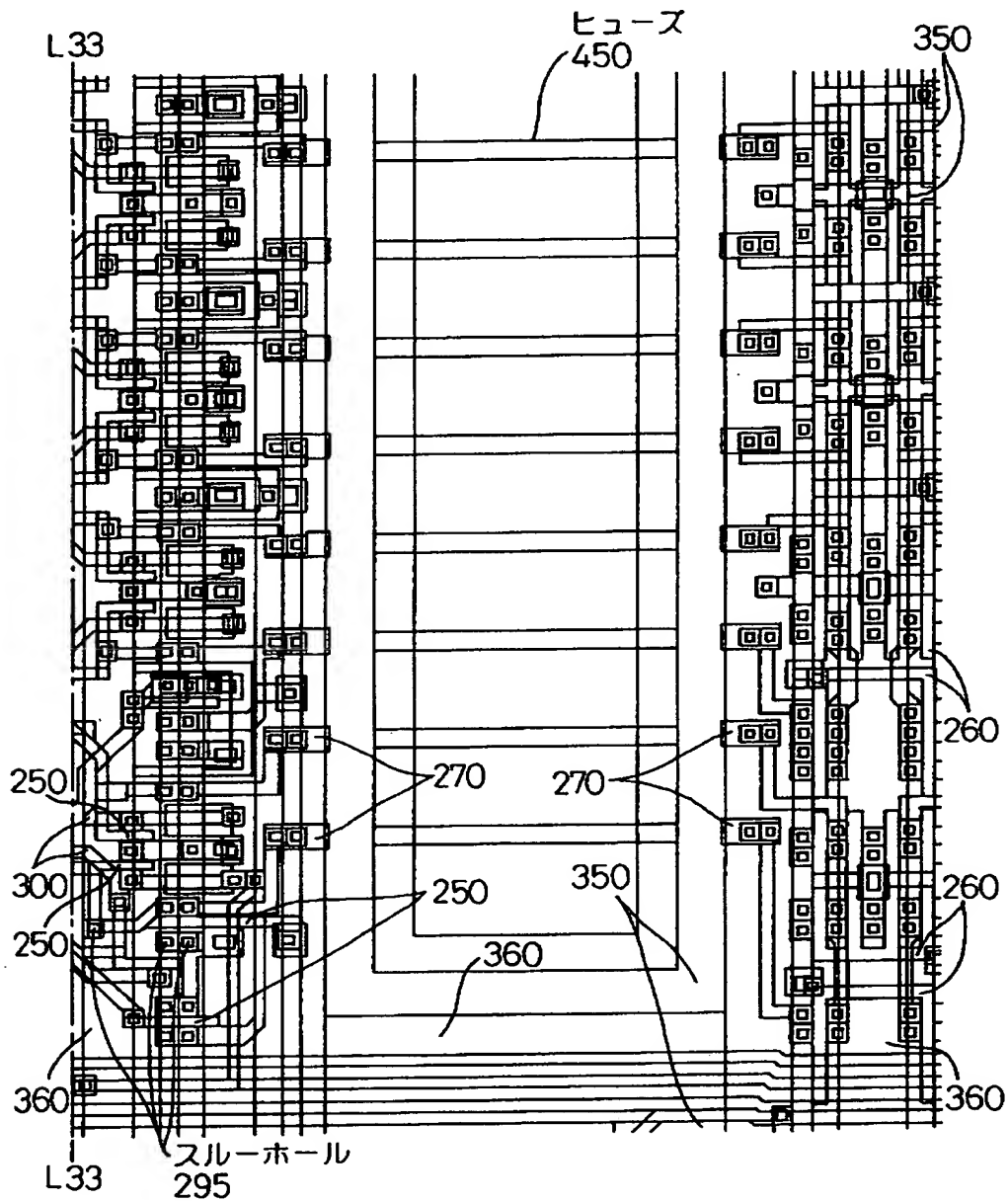
本発明の第2の実施例におけるシフト制御回路の回路レイアウトを示す図



【図 35】

図 35

本発明の第 2 の実施例におけるヒューズ回路の回路レイアウトを示す図



【図 36】

図 36

本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図

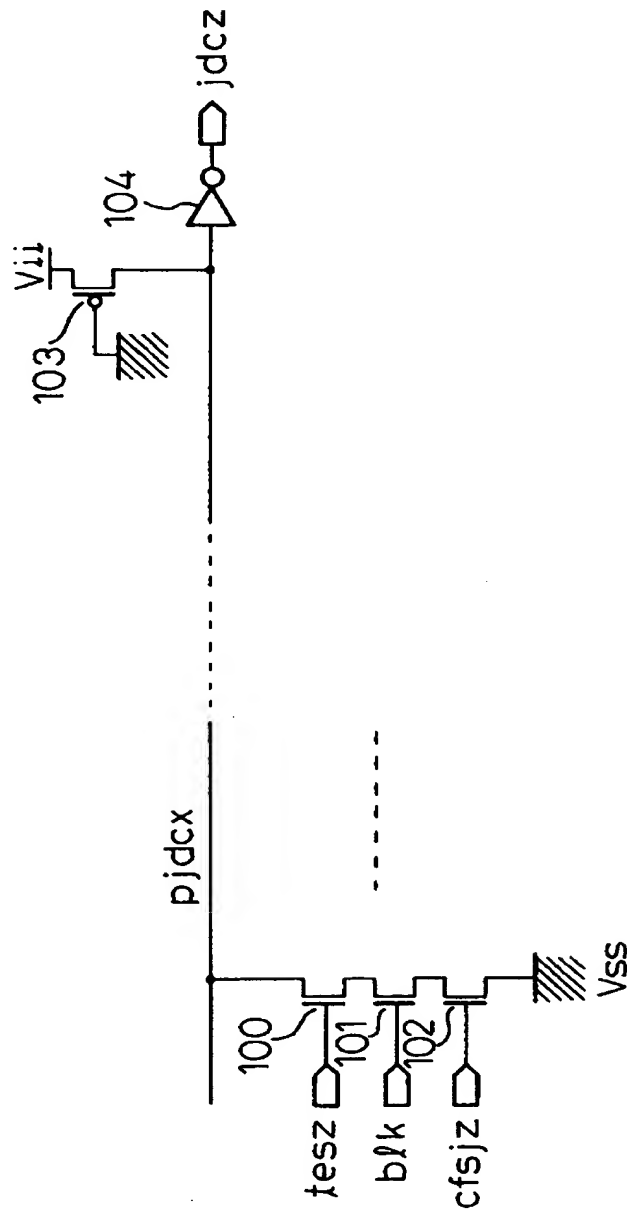
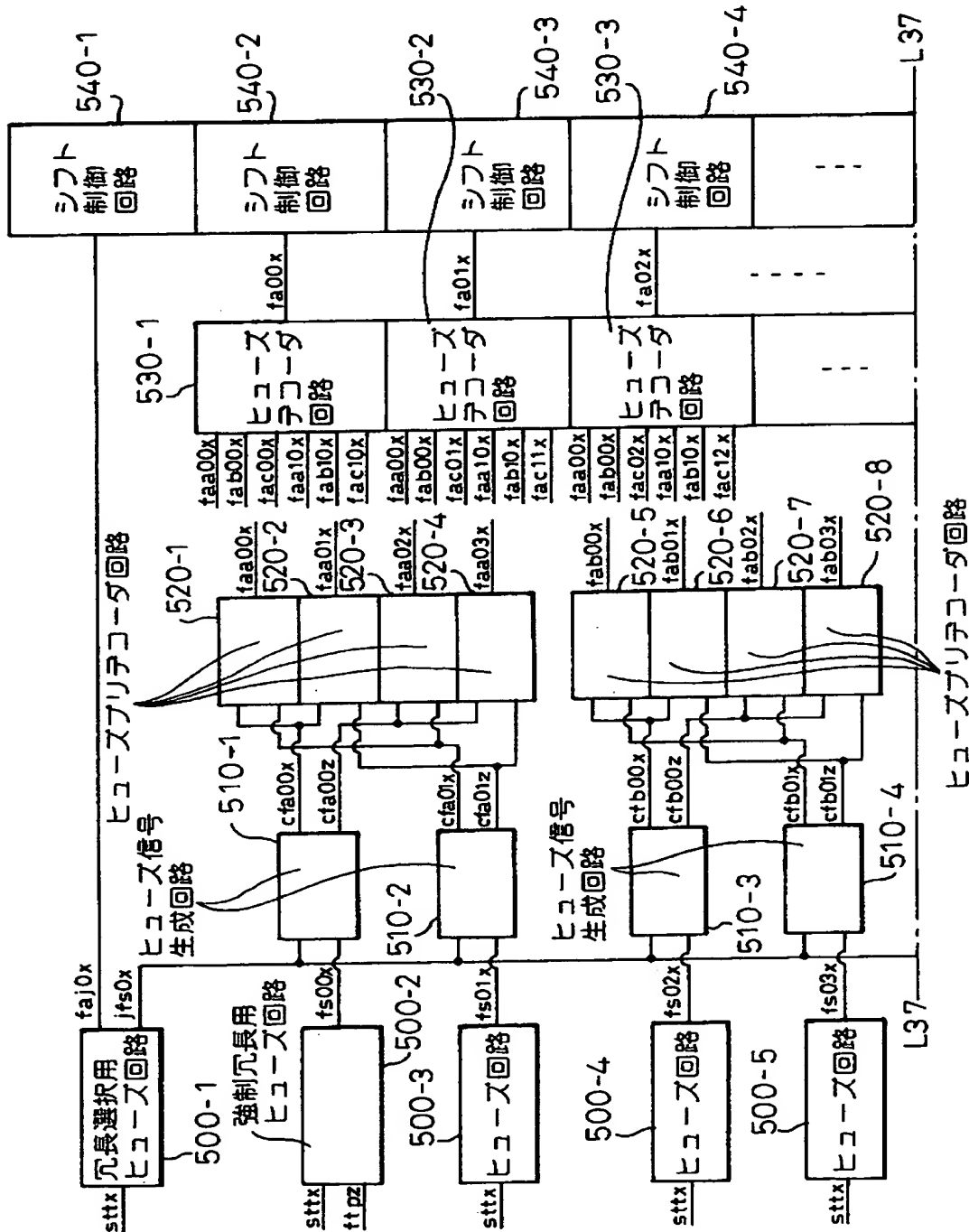


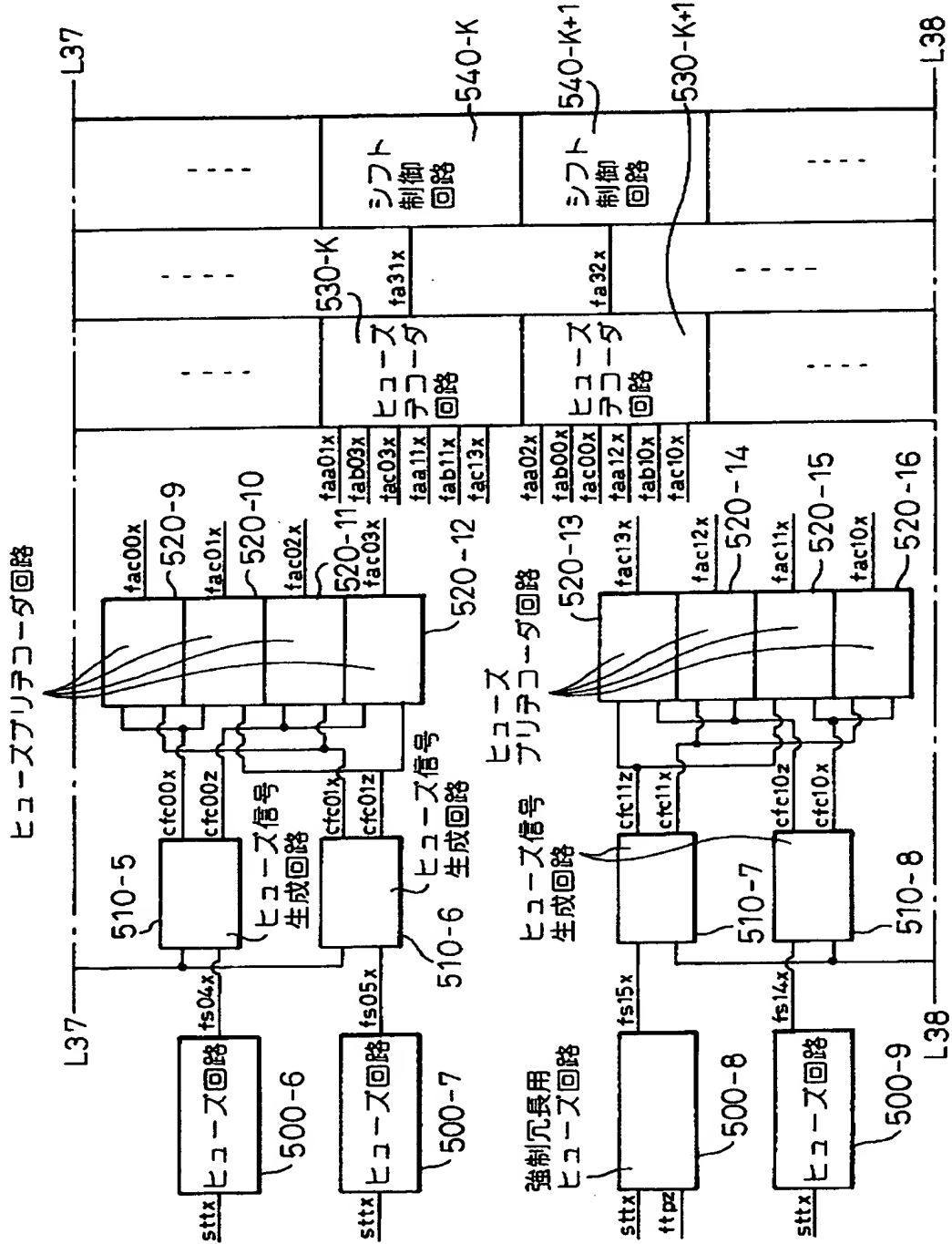


図 37 本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 1）



【図 3 8】

図 38 本発明の第 3 の実施例の全体的な回路構成を示すブロック図（その 2）

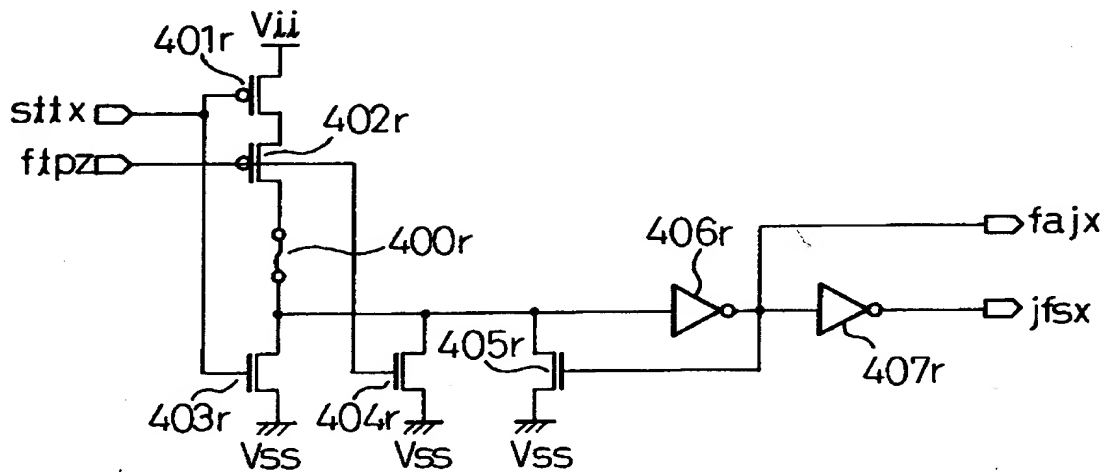




【図 40】

図 40

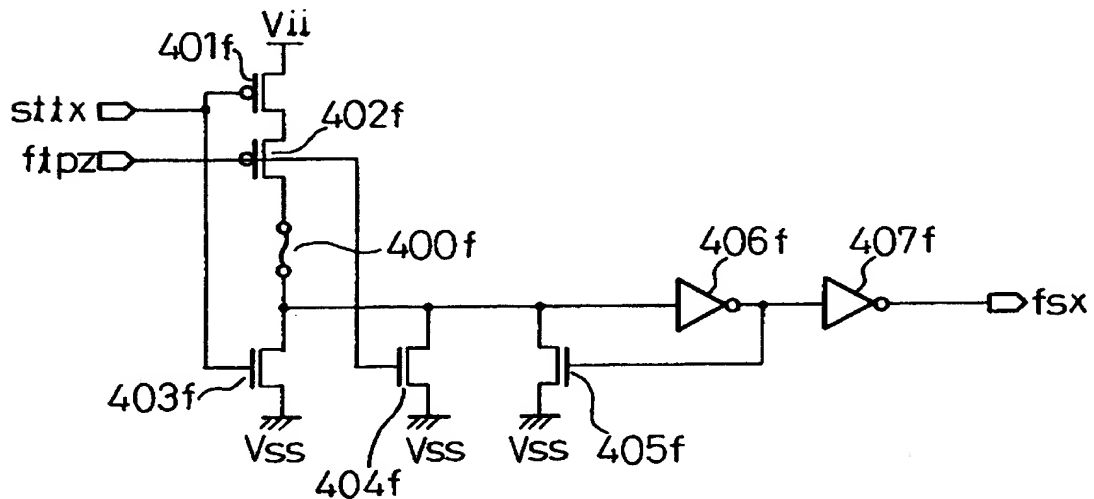
本発明の第 3 の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図 41】

図 41

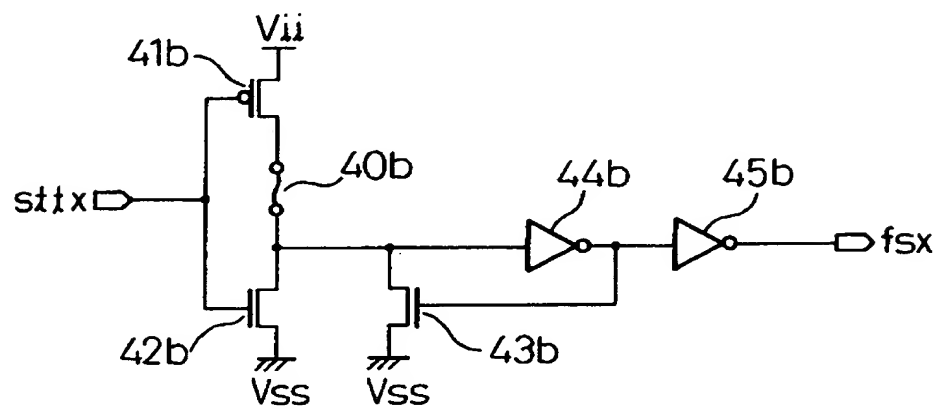
本発明の第 3 の実施例における強制冗長選択用ヒューズ回路の構成を示す回路図



【図 4 2】

図 42

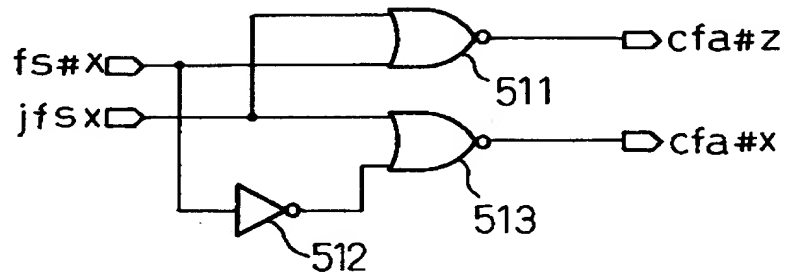
本発明の第 3 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図 4 3】

図 43

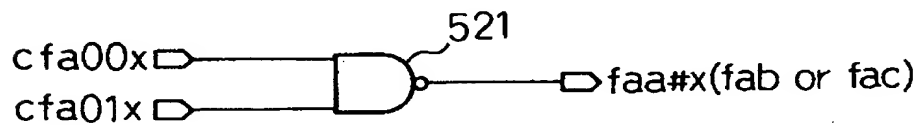
本発明の第 3 の実施例におけるヒューズ信号生成回路の構成を示す回路図



【図 4 4】

図 44

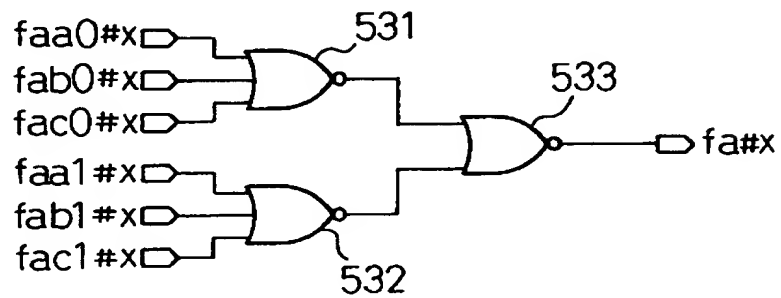
本発明の第 3 の実施例におけるヒューズプリテコーダ回路の構成を示す回路図



【図 45】

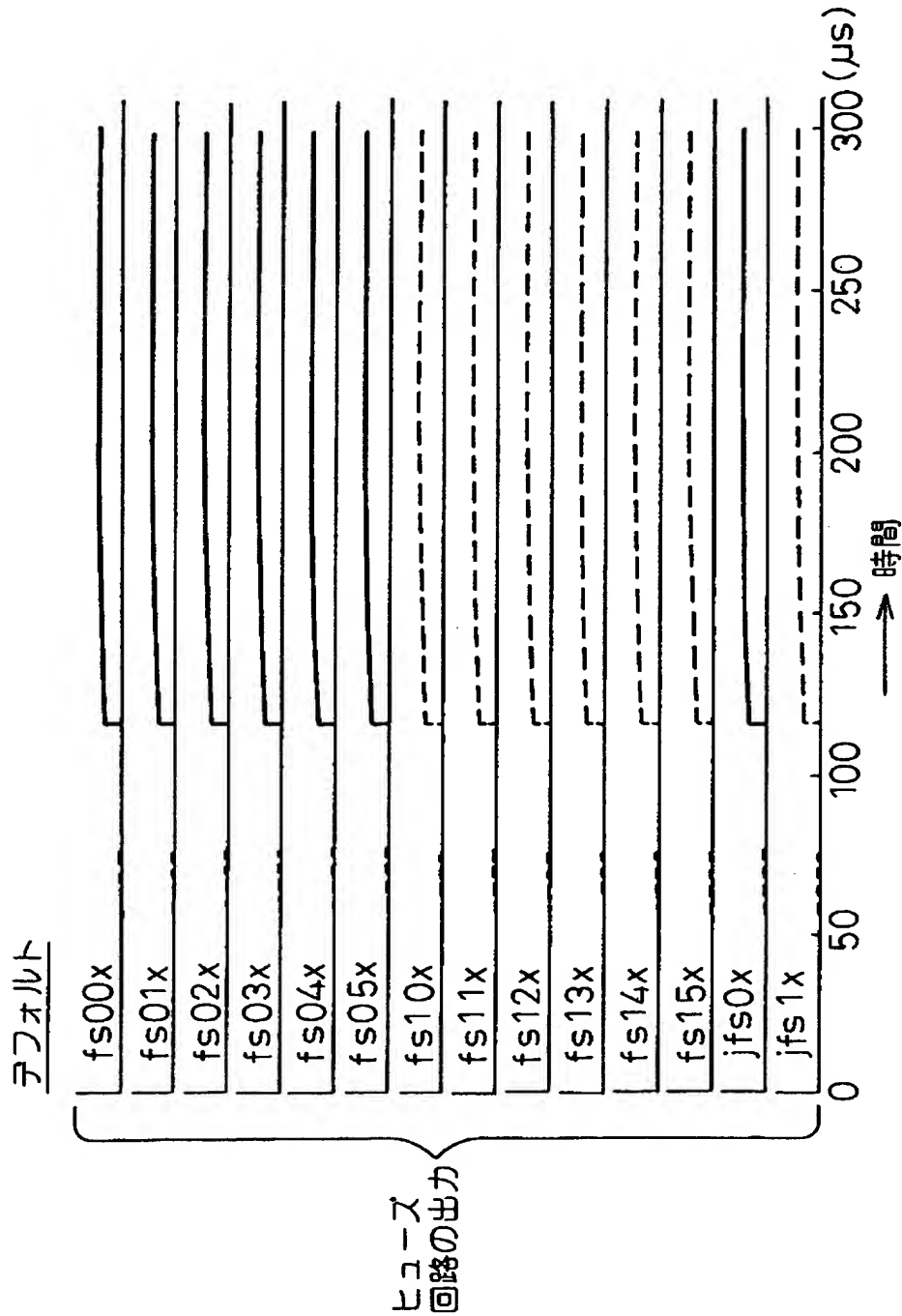
図 45

本発明の第 3 の実施例におけるヒューズテコーダ回路の構成を示す回路図



【図 4 6】

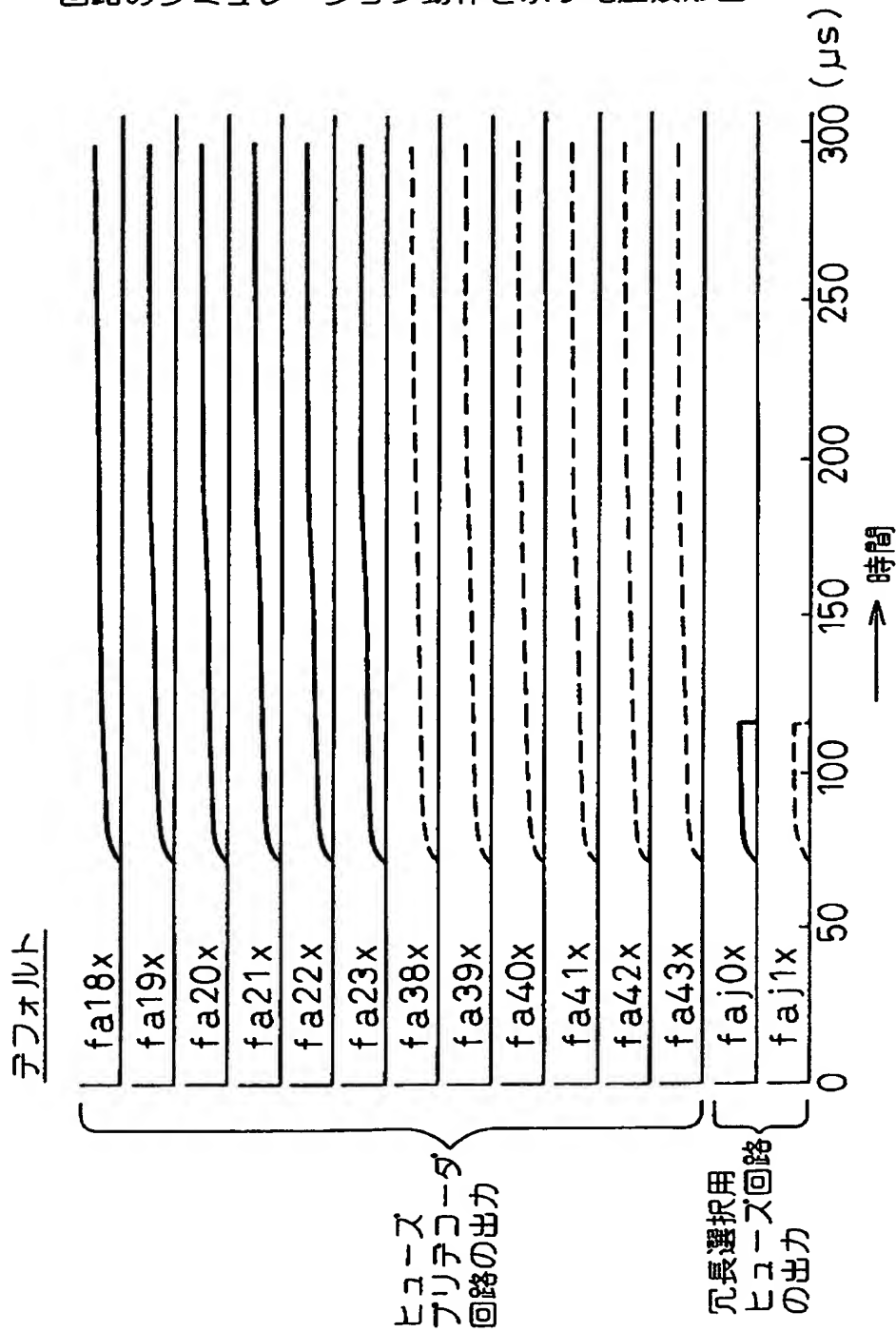
図 46 選択線に欠陥がない場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図





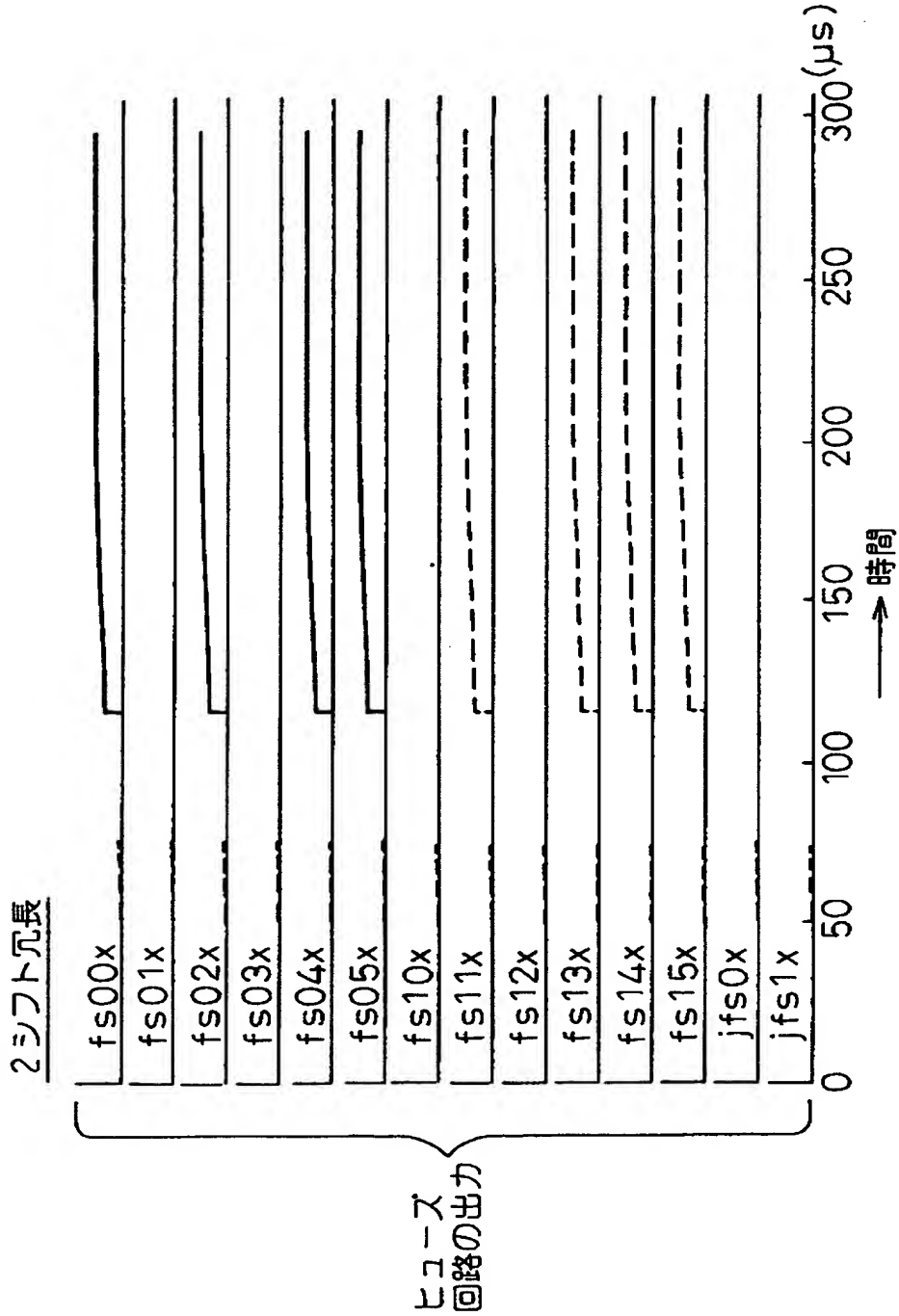
【図 47】

図 47 選択線に欠陥がない場合における図44のヒューズブリテコーダ回路のシミュレーション動作を示す電圧波形図



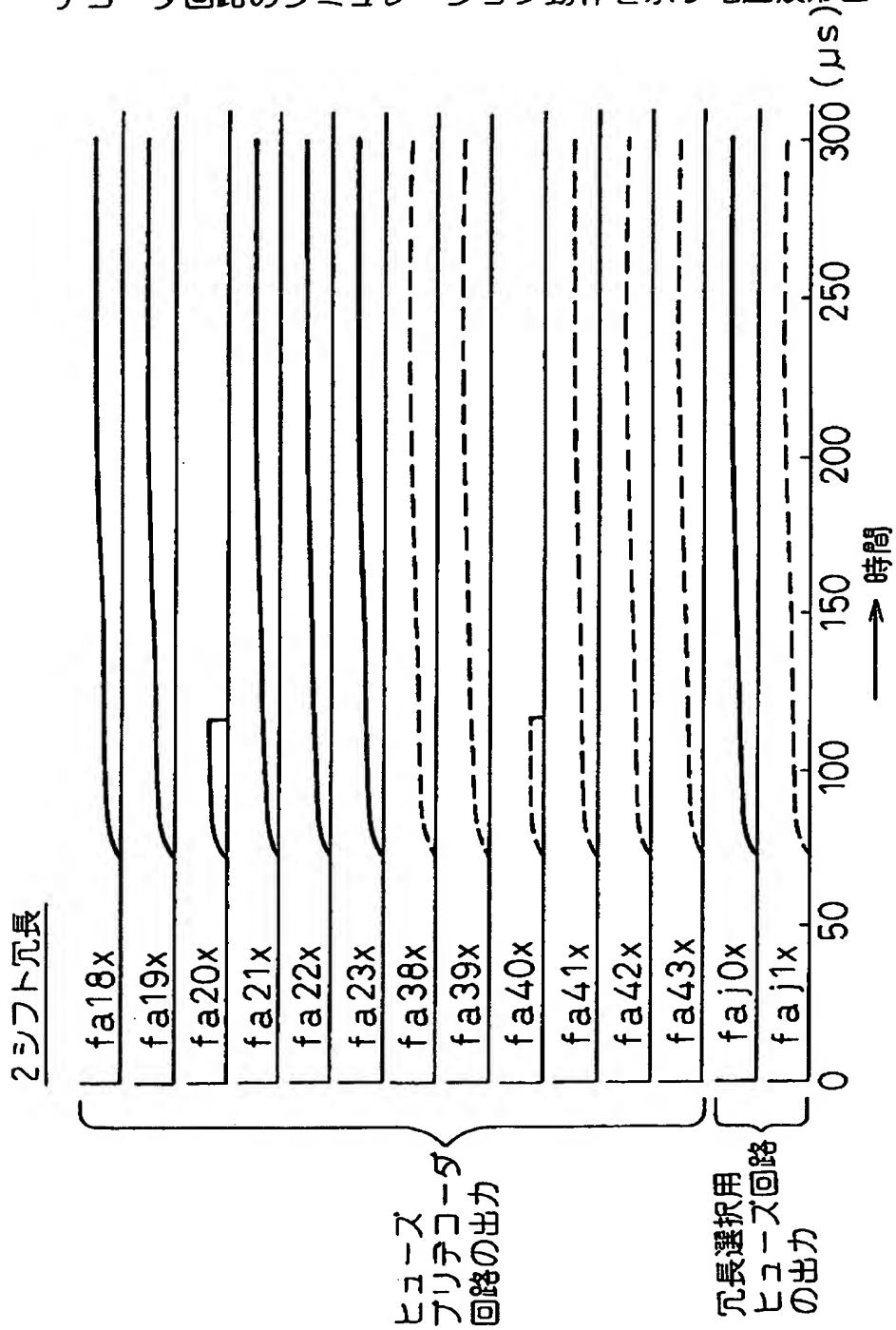
【図 48】

図 48 2シフト冗長を実行した場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図



【図 49】

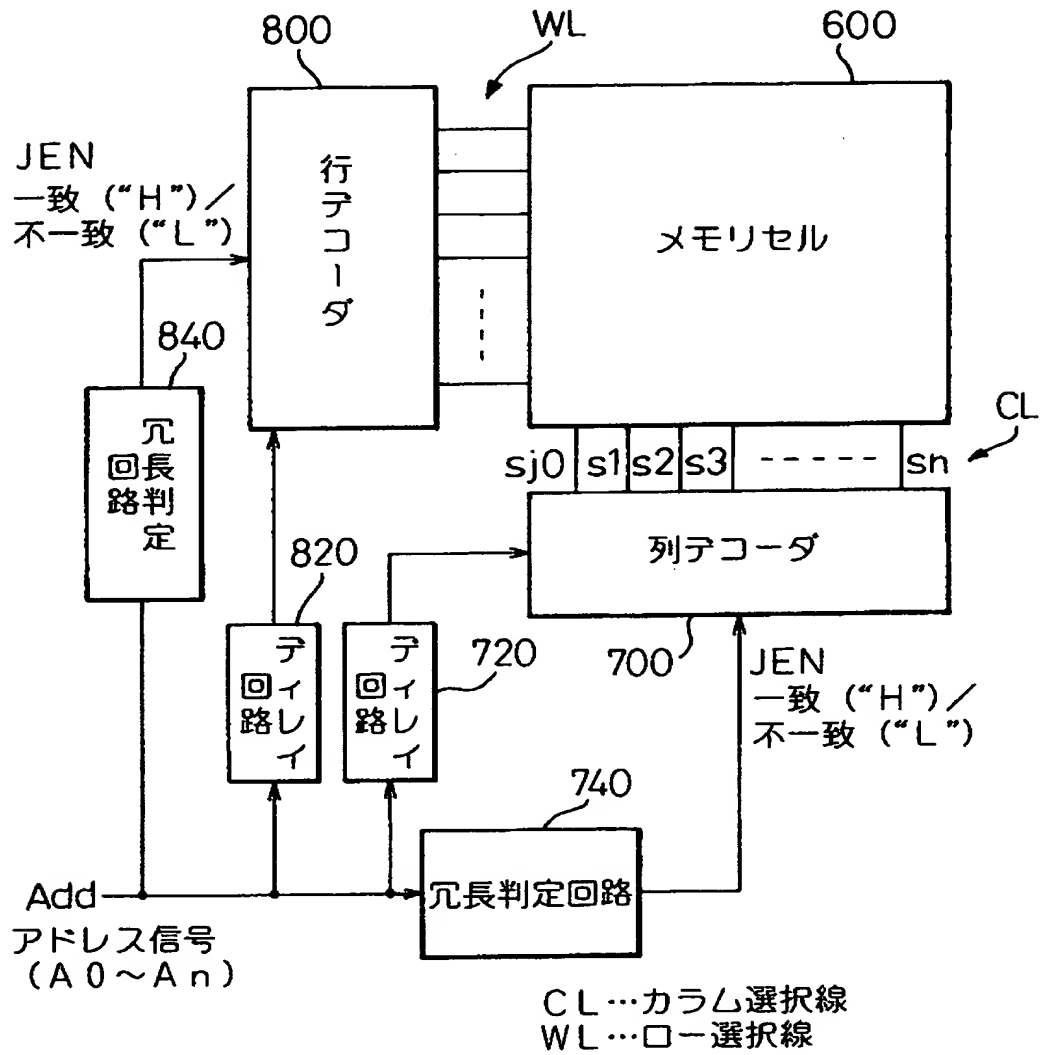
図 49 2シフト冗長を実行した場合における図44のヒューズブリ  
デコーダ回路のシミュレーション動作を示す電圧波形図



【図 50】

図 50

一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図



【書類名】 要約書

【要約】

【課題】 複数の選択線の一部に欠陥が生じた場合に冗長選択線を用いてシフト冗長処理を行う機能を備えた半導体記憶装置およびシフト冗長方法に関し、選択線同士のショート等により2本以上の欠陥選択線が生じても欠陥を救済することを目的とする。

【解決手段】 アドレス信号をデコードした複数のデコード信号線を、複数の選択線および冗長選択線に切替可能に接続するためのスイッチ回路を備え、複数の選択線内に欠陥が発生した場合、複数のデコード線の少なくとも1本を、選択線の中で一方の端に位置する第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、複数のデコード線の少なくとも1本を、選択線の中で他方の端に位置する第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、第1および第2の切替動作の双方の切替動作を行うように構成される。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】 富士通株式会社

【代理人】 申請人

【識別番号】 100077517

【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所

【氏名又は名称】 石田 敬

【選任した代理人】

【識別番号】 100100871

【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100088269

【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所

【氏名又は名称】 戸田 利雄

【選任した代理人】

【識別番号】 100082898

【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所

【氏名又は名称】 樋口 外治

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社